

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Yukihiro Sasagawa

Serial No.: New Appln.

Group Art Unit: Unassigned

Filed: January 27, 2004

Examiner: Unassigned

For: LOW POWER OPERATION CONTROL UNIT AND PROGRAM OPTIMIZING
APPARATUS

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following country is hereby requested for the above-identified application and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japan 2003-018106 January 28, 2003

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

PARKHURST & WENDEL, L.L.P.



Roger W. Parkhurst
Registration No. 25,177

27 Jan 04
Date

RWP/klb
Attorney Docket No. YMOR:305
PARKHURST & WENDEL, L.L.P.
1421 Prince Street, Suite 210
Alexandria, Virginia 22314-2805
Telephone: (703) 739-0220

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 1月28日

出 願 番 号
Application Number:

特願2003-018106

[ST.10/C]:

[JP2003-018106]

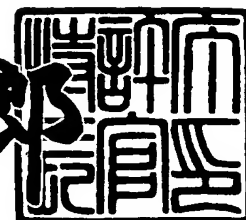
出 願 人
Applicant(s):

松下電器産業株式会社

2003年 5月30日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3040872

【書類名】 特許願

【整理番号】 5038240116

【提出日】 平成15年 1月28日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 9/30

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 笹川 幸宏

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100113859

【弁理士】

【氏名又は名称】 板垣 孝夫

【電話番号】 06-6532-4025

【選任した代理人】

【識別番号】 100068087

【弁理士】

【氏名又は名称】 森本 義弘

【電話番号】 06-6532-4025

【手数料の表示】

【予納台帳番号】 200105

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 低電力動作制御装置、およびプログラム最適化装置

【特許請求の範囲】

【請求項1】

条件フラグによる命令条件実行機能を備えるマイクロプロセッサに搭載されてマイクロプロセッサの低電力動作を制御する低電力動作制御装置であって、

マイクロプロセッサに入力される命令コードの特定ビットフィールドに命令実行制御機能のためのフラグを選択する命令実行制御機能情報を含む第1の命令セットと、前記特定ビットフィールドに低電力制御のための制御指定情報を含む1または2以上の第2の命令セットを備え、

通常動作時に第1の命令セットを実行し、低電力動作時に第2の命令セットを実行するように命令セットを切り替える動作モード切り替え回路と、

第1の命令セットモード時に前記命令実行制御機能情報に応じたフラグを読み込んで命令実行制御機能動作を識別するプレディケート判定回路と、

第2の命令セットモード時に前記制御指定情報を読み込んで低電力動作を行う制御回路の制御指定情報を抽出する制御指定情報抽出回路と、

前記制御指定情報を用い各制御回路の低電力動作を実施する制御動作実行手段と

を有し、あらかじめ命令を実行するプログラム単位に命令実行制御機能情報と制御指定情報を備え、制御指定情報に応じて各制御回路の低電力動作を命令単位で行うことにより、前記マイクロプロセッサの低電力動作を命令単位で制御することを特徴とする低電力動作制御装置。

【請求項2】

条件フラグによる命令条件実行機能を備えるマイクロプロセッサに搭載されてマイクロプロセッサの低電力動作を制御する低電力動作制御装置であって、

マイクロプロセッサに入力される命令コードの特定ビットフィールドに命令実行制御機能のためのフラグを選択する命令実行制御機能情報を含む第1の命令セットと、前記特定ビットフィールドに低電力制御のための制御指定情報を含む1または2以上の第2の命令セットを備え、

通常動作時に第 1 の命令セットを実行し、低電力動作時に第 2 の命令セットを実行するように命令セットを切り替える動作モード切り替え回路と、

第 1 の命令セットモード時に前記命令実行制御機能情報に応じたフラグを読み込んで命令実行制御機能動作を識別するプレディケート判定回路と、

第 2 の命令セットモード時に前記制御指定情報を読み込んで前記制御指定情報に応じてイベントを発生するイベント発生手段と、

前記イベントを受けて前記イベントに応じた各制御回路の低電力動作を実施する制御動作実行手段とを有し、あらかじめ命令を実行するプログラム単位に命令実行制御機能情報と制御指定情報を備え、制御指定情報に応じて各制御回路の低電力動作を命令単位で行うことにより、前記マイクロプロセッサの低電力動作を命令単位で制御することを特徴とする低電力動作制御装置。

【請求項 3】

前記制御回路がプログラムの特定箇所における動作停止箇所を判定する動作停止判定手段であり、

前記制御動作実行手段が動作停止判定手段の判定結果からマイクロプロセッサの任意の箇所を動作停止制御する動作停止制御手段であり、
マイクロプロセッサの任意の箇所を動作停止制御にすることによりマイクロプロセッサの低電力動作を命令単位で制御することを特徴とする請求項 1 または請求項 2 記載の低電力動作制御装置。

【請求項 4】

前記制御回路がプログラムの特定箇所における電源電圧の制御実施を判定する電源電圧判定手段であり、

前記制御動作実行手段が電源電圧判定手段の判定結果からマイクロプロセッサの電源電圧制御を行う電源電圧制御手段であり、
マイクロプロセッサの電源電圧制御を行うことによりマイクロプロセッサの低電力動作を命令単位で制御することを特徴とする請求項 1 または請求項 2 記載の低電力動作制御装置。

【請求項 5】

前記制御回路がプログラムの特定箇所における基板電圧の制御実施を判定する

基板電圧判定手段であり、

前記制御動作実行手段が基板電圧判定手段の判定結果からマイクロプロセッサの基板電圧を制御する基板電圧制御手段であり、

マイクロプロセッサの基板電圧を制御することによりマイクロプロセッサの低電力動作を命令単位で制御することを特徴とする請求項1または請求項2記載の低電力動作制御装置。

【請求項6】

前記制御回路がプログラムの特定箇所におけるクロック周波数制御を判定するクロック周波数判定手段であり、

前記制御動作実行手段がクロック周波数判定手段の判定結果からクロック周波数制御を実施するクロック周波数制御手段であり、

マイクロプロセッサのクロック周波数を制御することによりマイクロプロセッサの低電力動作を命令単位で制御することを特徴とする請求項1または請求項2記載の低電力動作制御装置。

【請求項7】

前記イベント発生手段を備えるマイクロプロセッサとは異なるマイクロプロセッサである1または2以上の対象マイクロプロセッサあるいはデータ処理手段に、前記制御動作実行手段として前記対象マイクロプロセッサあるいはデータ処理手段の低電力動作を制御する動作制御手段を備え、前記イベント発生手段を備えるマイクロプロセッサにより、前記対象マイクロプロセッサあるいはデータ処理手段の低電力制御動作を制御することを特徴とする請求項2記載の低電力動作制御装置。

【請求項8】

前記イベント発生手段を備えるマイクロプロセッサとは異なるマイクロプロセッサである1または2以上の対象マイクロプロセッサあるいはデータ処理手段に、前記制御動作実行手段として前記対象マイクロプロセッサあるいはデータ処理手段の電源供給を制御することにより低電力制御動作を制御する電源供給制御手段を備え、前記イベント発生手段を備えるマイクロプロセッサにより、前記対象マイクロプロセッサあるいはデータ処理手段の低電力制御動作を制御することを

特徴とする請求項 2 記載の低電力動作制御装置。

【請求項 9】

前記命令コードを生成するマイクロプロセッサプログラム最適化装置であって

マイクロプロセッサの消費電力情報により前記動作停止制御または前記電源電圧制御または前記基板電圧制御または前記クロック周波数制御における消費電力を算出する消費電力算出手段と、

前記消費電力を用いて各命令の動作制御回路候補における消費電力を算出する動作制御候補算出手段と、

前記消費電力が最も小さくなるように各命令の動作制御回路を選択する切り替え判定手段を備え、前記第 1 の命令セットと前記第 2 の命令セットを切り替える命令セット切り替え命令を挿入し、前記第 2 の命令セットの前記制御指定情報を決定すること

により、低電力動作制御動作を行うプログラムの構成を最適化することを特徴とする請求項 3 または請求項 4 または請求項 5 または請求項 6 または請求項 7 または請求項 8 記載の低電力動作制御装置用のプログラム最適化装置。

【請求項 10】

条件フラグによる命令条件実行機能を備えるマイクロプロセッサに搭載されてマイクロプロセッサの低電力動作を制御する低電力動作制御装置であって、

マイクロプロセッサに入力される命令コードの特定ビットフィールドに命令実行制御機能のためのフラグを選択する命令実行制御機能情報を含む第 1 の命令セットと、前記特定ビットフィールドに低電力制御のための制御指定情報を含む 1 または 2 以上の第 2 の命令セットを備え、

通常動作時に第 1 の命令セットを実行し、低電力動作時に第 2 の命令セットを実行するように命令セットを切り替える動作モード切り替え回路と、

第 1 の命令セットモード時に前記命令実行制御機能情報に応じたフラグを読み込んで命令実行制御機能動作を識別するプレディケート判定回路と、

第 2 の命令セットモード時に前記制御指定情報を読み込んで低電力動作を行う制御回路の制御指定情報を抽出する制御指定情報抽出回路と、

前記制御指定情報を用いプログラムの特定箇所の処理量を測定するプログラム処理測定手段と、

前記処理量からプログラム毎の最適な消費電力を判定する処理量判定手段と、

前記最適な消費電力になるようにプログラム実行時の周波数や電源電圧を制御する周波数／電源制御手段と、

を有し、各命令に対応するプログラムにおける処理量を測定することにより、マイクロプロセッサの低電力動作を命令単位で制御することを特徴とする低電力動作制御装置。

【請求項 1 1】

条件フラグによる命令条件実行機能を備えるマイクロプロセッサに搭載されてマイクロプロセッサの低電力動作を制御する低電力動作制御装置であって、

マイクロプロセッサに入力される命令コードの特定ビットフィールドに命令実行制御機能のためのフラグを選択する命令実行制御機能情報を含む第 1 の命令セットと、前記特定ビットフィールドに低電力制御のための制御指定情報を含む 1 または 2 以上の第 2 の命令セットを備え、

通常動作時に第 1 の命令セットを実行し、低電力動作時に第 2 の命令セットを実行するように命令セットを切り替える動作モード切り替え回路と、

第 1 の命令セットモード時に前記命令実行制御機能情報に応じたフラグを読み込んで命令実行制御機能動作を識別するプレディケート判定回路と、

第 2 の命令セットモード時に前記制御指定情報を読み込んで低電力動作を行う制御回路の制御指定情報を抽出する制御指定情報抽出回路と、

前記制御指定情報を用いプログラムの特定箇所の処理量を測定するプログラム処理測定手段と、

前記処理量をマイクロプロセッサのプログラム中の変数の形で参照する処理量参照手段と、

を有し、プログラム動作における命令単位毎に得られるプログラム処理量をプログラム実行中に参照することを特徴とする低電力動作制御装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、フラグによる命令実行制御機能（以下プレディケート機能と称す）を備えるマイクロプロセッサに対する低電力動作制御装置、およびプログラム最適化装置に関するものである。

【0002】

【従来の技術】

マイクロプロセッサにおける低電力動作化を実現する方式の一つに命令判別方式がある（例えば、特許文献1参照）。

【0003】

図1（a）は従来の命令判別による低電力動作制御装置の構成図であり、図1（b）は従来の命令判別による低電力動作制御装置の動作フローである。

図1において、入力された命令をデコーダ（101）でデコードし、デコード結果より低電力制御回路（102）によって低電力制御内容を判定し、判定結果によって特定ブロックのクロック停止などの制御信号（103）により制御を実施する。

【0004】

また、別の低電力動作を実現する方式の一つに、低電力命令セット判別方式がある（例えば、特許文献2参照）。

図2（a）は従来のマイクロプロセッサで用いられる命令セットの構成図、図2（b）は従来の命令セット判別による低電力動作制御装置の構成図であり、図3は従来の命令セット判別による低電力動作制御装置の動作フローである。

【0005】

図2、図3において、通常命令セットと切り替え可能な低電力命令セットにおいて、命令数を限定して命令コードフォーマットの空きを作り、その命令コードの空きに低電力制御内容を定義する形式とし、通常命令セットと低電力命令セットそれぞれの命令デコーダ（201）を備え、低電力命令セット使用時には低電力制御回路（202）にて低電力制御内容を判定し、判定結果によって特定ブロックのクロック停止などの制御信号（203）により制御を実施する。

【0006】

【特許文献 1】

特許番号 第 2778583 号 公報 (第 1-3 頁、第 1 図)

【0007】

【特許文献 2】

特開 2001-184208 号 公報 (第 2 頁、第 2 図)

【0008】

【発明が解決しようとする課題】

しかしながら上記方法のうち、図 1 (b) に示すように命令判別方式では、命令をデコードして制御実施する原理上、命令デコードのパイプラインステージ、および時間的に先行しているパイプラインステージに対する制御を実施する事が困難、あるいは不可能である。

【0009】

また、低電力命令セット判別方式では、低電力制御を実施するための情報を命令デコード以外から取得し、命令デコードのパイプラインステージ、および時間的に先行しているパイプラインステージに対する制御を実現する事ができるが、複数の命令デコーダ、および、使用する命令セットに応じた命令デコード結果の選択回路を備える必要があるため、回路規模増大による信号伝達経路 (204) の増加により、消費電力の増加、デコード時間の増加が問題となる。

【0010】

本発明は上記問題点を鑑みて、回路規模の増加やデコード時間の増加をすることなく、命令デコードのパイプラインステージ、および時間的に先行しているパイプラインステージに対する制御を行い、マイクロプロセッサの低電力動作を実現することを目的とする。

【0011】

【課題を解決するための手段】

上記目的を達成するために、本発明の請求項 1 記載の低電圧動作制御装置は、条件フラグによる命令条件実行機能を備えるマイクロプロセッサに搭載されてマイクロプロセッサの低電力動作を制御する低電力動作制御装置であって、マイクロプロセッサに入力される命令コードの特定ビットフィールドに命令実行制御機

能のためのフラグを選択する命令実行制御機能情報を含む第1の命令セットと前記特定ビットフィールドに低電力制御のための制御指定情報を含む1または2以上の第2の命令セットを備え、通常動作時に第1の命令セットを実行し、低電力動作時に第2の命令セットを実行するように命令セットを切り替える動作モード切り替え回路と、第1の命令セットモード時に前記命令実行制御機能情報に応じたフラグを読み込んで命令実行制御機能動作を識別するプレディケート判定回路と、第2の命令セットモード時に前記制御指定情報を読み込んで低電力動作を行う制御回路の制御指定情報を抽出する制御指定情報抽出回路と、前記制御指定情報に応じた各制御回路の低電力動作を実施する制御動作実行手段とを有し、あらかじめ命令を実行するプログラム単位に命令実行制御機能情報と制御指定情報を備え、制御指定情報に応じて各制御回路の低電力動作を命令単位で行うことにより、前記マイクロプロセッサの低電力動作を命令単位で制御することを特徴とする。

【0012】

請求項2記載の低電力動作制御装置は、条件フラグによる命令条件実行機能を備えるマイクロプロセッサに搭載されてマイクロプロセッサの低電力動作を制御する低電力動作制御装置であって、マイクロプロセッサに入力される命令コードの特定ビットフィールドに命令実行制御機能のためのフラグを選択する命令実行制御機能情報を含む第1の命令セットと前記特定ビットフィールドに低電力制御のための制御指定情報を含む1または2以上の第2の命令セットを備え、通常動作時に第1の命令セットを実行し、低電力動作時に第2の命令セットを実行するように命令セットを切り替える動作モード切り替え回路と、第1の命令セットモード時に前記命令実行制御機能情報に応じたフラグを読み込んで命令実行制御機能動作を識別するプレディケート判定回路と、第2の命令セットモード時に前記制御指定情報を読み込んで前記制御指定情報に応じてイベントを発生するイベント発生手段と、前記イベントを受けて前記イベントに応じた各制御回路の低電力動作を実施する制御動作実行手段とを有し、あらかじめ命令を実行するプログラム単位に命令実行制御機能情報と制御指定情報を備え、制御指定情報に応じて各制御回路の低電力動作を命令単位で行うことにより、前記マイクロプロセッサの

低電力動作を命令単位で制御することを特徴とする。

【 0 0 1 3 】

請求項 3 記載の低電力動作制御装置は、請求項 1 または請求項 2 記載の低電力動作制御装置において、前記制御回路がプログラムの特定箇所における動作停止箇所を判定する動作停止判定手段であり、前記制御動作実行手段が動作停止判定手段の判定結果からマイクロプロセッサの任意の箇所を動作停止制御する動作停止制御手段であり、マイクロプロセッサの任意の箇所を動作停止制御にすることによりマイクロプロセッサの低電力動作を命令単位で制御することを特徴とする。

【 0 0 1 4 】

請求項 4 記載の低電力動作制御装置は、請求項 1 または請求項 2 記載の低電力動作制御装置において、前記制御回路がプログラムの特定箇所における電源電圧の制御実施を判定する電源電圧判定手段であり、前記制御動作実行手段が電源電圧判定手段の判定結果からマイクロプロセッサの電源電圧制御を行う電源電圧制御手段であり、マイクロプロセッサの電源電圧制御を行うことによりマイクロプロセッサの低電力動作を命令単位で制御することを特徴とする。

【 0 0 1 5 】

請求項 5 記載の低電力動作制御装置は、請求項 1 または請求項 2 記載の低電力動作制御装置において、前記制御回路がプログラムの特定箇所における基板電圧の制御実施を判定する基板電圧判定手段であり、前記制御動作実行手段が基板電圧判定手段の判定結果からマイクロプロセッサの基板電圧を制御する基板電圧制御手段であり、マイクロプロセッサの基板電圧を制御することによりマイクロプロセッサの低電力動作を命令単位で制御することを特徴とする。

【 0 0 1 6 】

請求項 6 記載の低電力動作制御装置は、請求項 1 または請求項 2 記載の低電力動作制御装置において、前記制御回路がプログラムの特定箇所におけるクロック周波数制御を判定するクロック周波数判定手段であり、前記制御動作実行手段がクロック周波数判定手段の判定結果からクロック周波数制御を実施するクロック周波数制御手段であり、マイクロプロセッサのクロック周波数を制御することに

よりマイクロプロセッサの低電力動作を命令単位で制御することを特徴とする。

【0017】

請求項7記載の低電力動作制御装置は、請求項2記載の低電力動作制御装置において、前記イベント発生手段を備えるマイクロプロセッサとは異なるマイクロプロセッサである1または2以上の対象マイクロプロセッサあるいはデータ処理手段に、前記制御動作実行手段として前記対象マイクロプロセッサあるいはデータ処理手段の低電力動作を制御する動作制御手段を備え、前記イベント発生手段を備えるマイクロプロセッサにより、前記対象マイクロプロセッサあるいはデータ処理手段の低電力制御動作を制御することを特徴とする。

【0018】

請求項8記載の低電力動作制御装置は、請求項2記載の低電力動作制御装置において、前記イベント発生手段を備えるマイクロプロセッサとは異なるマイクロプロセッサである1または2以上の対象マイクロプロセッサあるいはデータ処理手段に、前記制御動作実行手段として前記対象マイクロプロセッサあるいはデータ処理手段の電源供給を制御することにより低電力制御動作を制御する電源供給制御手段を備え、前記イベント発生手段を備えるマイクロプロセッサにより、前記対象マイクロプロセッサあるいはデータ処理手段の低電力制御動作を制御することを特徴とする。

【0019】

請求項9記載の低電力動作制御装置用のプログラム最適化装置は、請求項3または請求項4または請求項5または請求項6または請求項7または請求項8記載の低電力動作制御装置に用いられ、前記命令コードを生成するマイクロプロセッサプログラム最適化装置であって、マイクロプロセッサの消費電力情報により前記動作停止制御または前記電源電圧制御または前記基板電圧制御または前記クロック周波数制御における消費電力を算出する消費電力算出手段と、前記消費電力を用いて各命令の動作制御回路候補における消費電力を算出する動作制御候補算出手段と、前記消費電力が最も小さくなるように各命令の動作制御回路を選択する切り替え判定手段を備え、前記第1の命令セットと前記第2の命令セットを切り替える命令セット切り替え命令を挿入し、前記第2の命令セットの前記制御指

定情報を決定することにより、低電力動作制御動作を行うプログラムの構成を最適化することを特徴とする。

【0020】

請求項10記載の低電力動作制御装置は、条件フラグによる命令条件実行機能を備えるマイクロプロセッサに搭載されてマイクロプロセッサの低電力動作を制御する低電力動作制御装置であって、マイクロプロセッサに入力される命令コードの特定ビットフィールドに命令実行制御機能のためのフラグを選択する命令実行制御機能情報を含む第1の命令セットと前記特定ビットフィールドに低電力制御のための制御指定情報を含む1または2以上の第2の命令セットを備え、通常動作時に第1の命令セットを実行し、低電力動作時に第2の命令セットを実行するように命令セットを切り替える動作モード切り替え回路と、第1の命令セットモード時に前記命令実行制御機能情報に応じたフラグを読み込んで命令実行制御機能動作を識別するプレディケート判定回路と、第2の命令セットモード時に前記制御指定情報を読み込んで低電力動作を行う制御回路の制御指定情報を抽出する制御指定情報抽出回路と、前記制御指定情報を用いプログラムの特定箇所の処理量を測定するプログラム処理測定手段と、前記処理量からプログラム毎の最適な消費電力を判定する処理量判定手段と、前記最適な消費電力になるようにプログラム実行時の周波数や電源電圧を制御する周波数／電源制御手段と、前記制御指定情報を用い前記命令実行制御機能に応じた各制御回路の周波数／電源制御手段に応じた制御を実施する制御動作実行手段とを有し、各命令に対応するプログラムにおける処理量を測定することにより、マイクロプロセッサの低電力動作を命令単位で制御することを特徴とする。

【0021】

請求項11記載の低電力動作制御装置は、条件フラグによる命令条件実行機能を備えるマイクロプロセッサに搭載されてマイクロプロセッサの動作を制御する動作制御装置であって、マイクロプロセッサに入力される命令コードの特定ビットフィールドに命令実行制御機能のためのフラグを選択する命令実行制御機能情報を含む第1の命令セットと前記特定ビットフィールドに低電力制御のための制御指定情報を含む1または2以上の第2の命令セットを備え、通常動作時に第1

の命令セットを実行し、低電力動作時に第2の命令セットを実行するように命令セットを切り替える動作モード切り替え回路と、第1の命令セットモード時に前記命令実行制御機能情報に応じたフラグを読み込んで命令実行制御機能動作を識別するプレディケート判定回路と、第2の命令セットモード時に前記制御指定情報を読み込んで低電力動作を行う制御回路の制御指定情報を抽出する制御指定情報抽出回路と、前記制御指定情報を用いプログラムの特定箇所の処理量を測定するプログラム処理測定手段と、前記処理量をマイクロプロセッサのプログラム中の変数の形で参照する処理量参照手段と、を有し、プログラム動作における命令単位毎に得られるプログラム処理量をプログラム実行中に参照することを特徴とする。

【0022】

以上により、回路規模の増加やデコード時間の増加をすることなく、命令デコードのパイプラインステージ、および時間的に先行しているパイプラインステージに対する制御を行い、マイクロプロセッサの低電力動作を実現することができる。

【0023】

【発明の実施の形態】

本発明の概念を図4（a）、図4（b）、図5を用いて説明する。

図4（a）は本発明の低電力動作制御装置におけるマイクロプロセッサで用いられる命令セットの構成図、図4（b）は本発明の命令セット判別による低電力動作制御装置の構成図であり、図5は本発明の命令セット判別による低電力動作制御装置の動作フローである。

【0024】

マイクロプロセッサの命令実行形式としてプレディケート動作と呼ばれるものがある。これは、過去に決定しているフラグ情報に依存して命令の実行／不実行を決定するというものである。一般にプレディケート動作を実装する場合は命令コードの構成中に、実行／不実行を依存させるフラグを設定するための識別情報（プレディケートビット）を格納するビットフィールドであるプレディケートフィールド（301）が存在する。本発明は図4に示すように、命令モードとして

当該ビットフィールドにプレディケート指定情報を定義する命令セット 1 と、当該ビットフィールドにプレディケート以外の制御指定情報（302）を定義する 2 種類以上の命令セット 2 とを備え、マイクロプロセッサ動作中に前記命令セット 1 と命令セット 2 を切り替え命令によって切り替え、低電力制御回路（303）より出力する制御信号（304）を用いて、プログラム動作における命令単位毎に低電力制御を実施することを実現する。

【0025】

図 5 では、制御信号（304）が $[n+2]$ の時点の命令パイプラインにおける命令フェッチ、命令デコードステージのパイプラインレジスタ、論理回路の制御として使用されている概念を表している。制御信号（304）は命令デコーダではなく、低電力制御回路（303）で生成され、かつ、 $[n+2]$ の時点の命令パイプラインの命令デコードステージ、および時間的に先行しているパイプラインステージ（命令フェッチステージ）に対して余裕を持って制御が実現できることがわかる。

【0026】

また、命令セット 1 と命令セット 2 との関係において、命令デコーダが参照するオペコード、オペランドは同一のため、命令デコーダを複数備える必要がない。

【0027】

これにより、回路規模の増加、デコード時間の増加をすることなく、低電力制御を実施するための情報を命令デコード以外から取得し、命令デコードのパイプラインステージ、および時間的に先行しているパイプラインステージに対する制御を実現する事ができる。

【0028】

以下、本発明の実施の形態について、図面を参照しながら説明する。

（実施の形態 1）

まず、本発明の実施の形態 1 における低電力動作制御装置について、図 6，図 7，図 8，図 9，図 10，図 11 を用いて説明する。

【0029】

図6は本発明の低電力動作制御装置を搭載するマイクロプロセッサの構成図である。

図6において、本発明のマイクロプロセッサは、命令メモリ（401）、命令メモリ（401）から取得した命令コードを格納する命令レジスタ（420）、命令コードデコーダ（402）、演算器（403）、プレディケート動作に使用するフラグ生成用演算器（404）、フラグ生成用演算器（404）の演算結果を格納するフラグレジスタ（405）、演算結果を格納するレジスタファイル（406）、命令コード中のプレディケートフィールド内容とフラグ生成用演算器（404）の出力からプレディケート動作を判定するプレディケート判定回路（407）、命令コード中のプレディケートフィールド内容から制御指定情報を取り出す制御指定情報抽出回路（408）、プレディケートフィールド内容のうちプレディケート動作に割り当てる情報と制御指定情報に割り当てる情報の区分や動作モードからプレディケート判定回路（407）や制御指定情報抽出回路（408）の動作を指示するプレディケート制御回路（409）、制御指定情報によってクロックや論理マスクなどの動作停止制御を実施する動作停止制御回路（410）、クロック制御回路（411）、論理回路の入力を0または1に固定する論理マスク回路（412）、制御指定情報によって電源電圧制御を実施する電源電圧制御回路（413）、電源（414）、制御指定情報によって基板電圧制御を実施する基板電圧制御回路（415）、基板電圧（416）、制御指定情報によってクロック周波数制御を実施するクロック周波数制御回路（417）、クロック発生回路（418）、動作モードを定義する動作モード設定レジスタ（419）で構成されている。

【0030】

フラグ生成用演算器（404）の結果を格納するフラグレジスタ（405）には、図7のフラグレジスタの構造図に示すように、8個のフラグ（C0～C7）が定義されており、演算結果によって各フラグがセット、またはクリアされる。ただし、C7は常に1となるフラグとして定義されている。

【0031】

ここで、フラグ生成用演算器（404）に入力される2つのデータをそれぞれ

A, Bとして、演算に対応するフラグの設定例を以下に示す。

Cmp. EQ C0, A, B

: レジスタAとレジスタBの内容を比較し、
一致していれば1、不一致であれば0がC0に格納される。

【0032】

Cmp. GT C0, A, B

: レジスタAとレジスタBの内容を比較し、
 $A > B$ であれば1、 $A \leq B$ であれば0がC0に格納される。

【0033】

命令コードの構成は、図8の本発明の低電力動作制御装置の命令選択フロー説明図に示すように、プレディケートフィールドが3ビット存在して、C0～C7の8通りのフラグの設定が可能となっている。命令毎にプレディケート番号を指定することでフラグを選択し、選択したフラグの内容が0であるか1であるかによって対応する命令を実行するか否かを設定する。C7は前述したように常に1となるフラグとして定義されているため、プレディケート番号としてC7を指定すると、「常に実行する」という意味になる。

【0034】

動作モード設定レジスタ(419)には、通常動作、および、2つ以上の低電力モードのいずれかを指定するためのビットが設けられている。プレディケートフィールド3ビット分の組合せと動作モード設定レジスタの内容組合せを合わせることによって、低電力モードで制御できる種類を多様化できる。低電力モードの例としては以下のものがある。

【0035】

低電力モード1

: プレディケートフィールドの制御情報を用いて、命令種別毎に関連する機能ブロックのクロック、電源供給を停止、論理マスクを実施する。

【0036】

低電力モード2

: プレディケートフィールドの制御情報を用いて、クロック周波数、電源電圧を制御する。

【0037】

また、動作モード設定レジスタ（419）の情報はプレディケート制御回路（409）に供給され、プレディケート判定、および、制御指定情報の制御に使用される。

【0038】

図9の本発明の低電力モード説明図に示すように、低電力モードでは、8種類のプレディケート番号の使用が制限され、ここでは、C0、C4、C6、C7のみが使用できるように構成されている。代わりに、電力制御情報として、P1、P2、P3、P5が指定できる。プレディケートフィールドに格納される情報としては見かけ上変わらないが、低電力モード中は、プレディケート判定回路（407）に入力されるプレディケート番号がC1、C2、C3、C5の時に、強制的にC7の値に変更される。プレディケートフィールドは制御指定情報抽出回路（408）にも参照されており、C1、C2、C3、C5の時に、制御情報として使用される。これらの一連の動作によって、プレディケートフィールドにプレディケート番号、電力制御情報を混在して指定することができる。なお、プレディケートフィールドの指定方法としては前述以外の組み合わせも存在する。

【0039】

低電力モード1の例として、動作停止制御回路（410）、クロック制御回路（411）、論理マスク回路（412）、基板電圧制御回路（415）、基板電源（416）による制御動作は図10の本発明の実施の形態1における制御動作を説明する図に示すように実現する。動作モードとしてP1、P2、P3、P5を用いた制御動作を実施する低電力モードが設定されているとする。本動作モードでの電力制御情報（P1、P2、P3、P5）の意味を以下のように定義する。

【0040】

P1: 3命令後にロード・ストア命令が存在。

P2: 3命令後に転送命令が存在。

P3: 3命令後に演算命令が存在。

【0041】

P5: 3命令後に分岐命令が存在。

これらの電力制御情報に基づき、機能ブロックのクロック固定や論理マスクを実施し、機能ブロックの動作を停止させる。また機能ブロックの動作を停止させている間、トランジスタのリーク電流を低減するために基板電圧を制御し、閾値電圧 (V_t) を上昇させる。

【0042】

このマイクロプロセッサのパイプライン構成は、命令フェッチ (IF)、デコード (DC)、演算 (EM)、ライトバック (WB) となっており、各命令の実行パイプラインステージが以下のようにになっているとする。

ロード・ストア命令 (804): EM、WBの2ステージ

転送命令 (803): EMステージ

演算命令 (802): EMステージ

分岐命令 (805): IFステージ

それぞれのステージにおける制御は図5と同様の概念で実施する。

【0043】

図10の構成においてクロック制御、論理マスク、基板電圧制御を実施する場合、遅延時間を考慮して、数サイクル前に制御信号が確定している必要がある。本実施の形態では1サイクル前に制御信号が確定している必要があるとする。そのためには、パイプラインステージを考慮すると3命令前より制御信号の状態を指定する必要があるが、前述の通り、電力制御情報が3命令後の制御内容を指示しているため、制御信号が確定し、クロック制御、論理マスク、および基板電圧制御の実施動作 (806) が実施できる。

【0044】

低電力モード2の例として、電源電圧制御回路 (413)、電源 (414)、クロック周波数制御回路 (417)、クロック発生回路 (418) による電源電圧／クロック周波数制御は図11の本発明の実施の形態1における電源電圧／クロック周波数制御動作を説明する図に示すように実現する。動作モードとしてP

1、P2、P3、P5を用いた電源電圧／クロック周波数制御を実施する低電力モードが設定されているとする。本動作モードでの電力制御情報（P1、P2、P3、P5）の意味を以下のように定義する。

【0045】

P1： 5命令後に電源電圧、クロック周波数を基本電圧の100%にする。

P2： 5命令後に電源電圧、クロック周波数を基本電圧の50%にする。

【0046】

P3： 5命令後に電源電圧、クロック周波数を5%下げる。

P4： 5命令後に電源電圧、クロック周波数を5%上げる。

これらの電力制御情報に基づき、電源電圧、クロック周波数を制御する。

このマイクロプロセッサのパイプライン構成は、図8と同一とする。

それぞれのステージにおける制御は図5と同様の概念で実施する。

【0047】

図11の構成においてクロック周波数を制御する場合、一般に周波数安定化のための時間を確保する必要がある。

周波数切り替え時に安定化時間を確保する手段として、クロック発生回路（418）を2つ備え、周波数安定化後にクロック発生回路を切り替える場合、数サイクル前に制御信号が確定している必要がある。本実施の形態では4サイクル前に制御信号が確定している必要があるとする。そのためにはパイプラインステージを考慮すると5命令前より制御信号の状態を指定する必要があるが、前述の通り、電力制御情報（902）が5命令後の制御内容を指示しているため、制御信号が確定し、電源電圧制御、クロック周波数制御が実施できる。

【0048】

以上により、回路規模の増加やデコード時間の増加をすることなく、命令デコードのパイプラインステージ、および時間的に先行しているパイプラインステージに対する制御を行い、マイクロプロセッサの低電力動作を実現することができる。

(実施の形態 2)

次に、本発明の実施の形態 2 における低電力動作制御装置によるプレディケート情報を有する最適化後プログラムの生成方法について、図 12、図 13、図 14、図 15、図 16 を用いて説明する。

【0049】

図 12 は本発明の実施の形態 2 におけるプログラム最適化装置を説明する図である。

図 12 において、マイクロプロセッサのプログラム最適化装置は、停止対象候補算出手段 (1001)、切り替え判定手段 (1002)、命令セット切り替え命令挿入手段 (1003)、制御指定情報付加手段 (1004) で構成されている。停止対象候補算出手段 (1001) には最適化対象のプログラム (1005) と、マイクロプロセッサあるいはマルチプロセッサシステム構成回路の消費電力一覧 (1006) と、マイクロプロセッサあるいはマルチプロセッサシステム構成回路の命令別動作一覧 (1011) が入力され、停止対象候補一覧 (1007) が出力される。切り替え判定手段 (1002) には停止対象候補一覧 (1007) が入力され、切り替え判定結果 (1008) が出力される。命令セット切り替え命令挿入手段 (1003) には切り替え判定結果 (1008) と、動作モード一覧 (1012) が入力され、命令セット切り替え命令挿入結果 (1009) が出力される。制御指定情報付加手段 (1004) には、命令セット切り替え命令挿入結果 (1009) と、制御指定情報一覧 (1013) が入力され、最適化後プログラム (1010) が出力される。

【0050】

図 13 は停止対象候補算出手段の動作フローチャートであり、3つのステップで構成される。

図 13 において、最適化対象のプログラム (1005) は、マイクロプロセッサの命令列 (1101) で構成されている。マイクロプロセッサあるいはマルチプロセッサシステム構成回路の消費電力一覧 (1006) は、マイクロプロセッサの命令毎にマイクロプロセッサあるいはマルチプロセッサシステム構成回路別の消費電力が網羅され、例えば、図 13 に示される構成回路別の消費電力の一例

(1102) に示されるように構成されている。

【0051】

まず、動作第1ステップ(1103)は、消費電力一覧(1006)を用いて最適化対象のプログラム(1005)の命令毎におけるマイクロプロセッサあるいはマルチプロセッサシステム構成回路別の消費電力を検索し、プログラム消費電力情報(1104)を算出する。

【0052】

このプログラム消費電力情報(1104)は、プログラムの各行についてマイクロプロセッサあるいはマルチプロセッサシステム構成回路の各々が動作した場合の消費電力を表すことになる。例として図13のプログラム消費電力情報1104における Line 0101 では、

回路A: 0.005 mW

回路B: 0.003 mW

回路C: 0.001 mW

...

となる。

【0053】

マイクロプロセッサあるいはマルチプロセッサ構成回路の命令別動作一覧(1011)はマイクロプロセッサの命令毎におけるマイクロプロセッサあるいはマルチプロセッサシステム構成回路別の動作必要箇所(1105)が網羅されている。ここで動作必要箇所(1105)とは命令機能を実現するために最低限動作が必要な回路部分を意味する。

【0054】

次に、動作第2ステップ(1106)は、命令別動作一覧(1011)を用いて最適化対象のプログラム(1005)の命令毎にマイクロプロセッサあるいはマルチプロセッサシステム構成回路別の動作要否を検索し、停止対象候補回路情報(1107)を算出する。

【0055】

この停止対象候補回路情報(1107)は、プログラムの各行についてマイク

ロプロセッサあるいはマルチプロセッサシステム構成回路の各々が停止可能かどうかを表すことになる。例として図13の停止対象候補回路情報1107における Line 0101 では、

回路A： 動作が必要（停止不可能）
 回路B： 停止可能
 回路C： 停止可能

...

を意味する。

【0056】

ここで停止対象候補回路情報（1107）における停止可能な構成回路について、消費電力情報（1104）から得られる消費電力と組み合わせることで、「停止可能な構成回路が停止したと仮定した場合」のプログラムの各行についての消費電力が見積もれることがわかる。

【0057】

つまり、図13の1104、1107における Line 0101 では、回路B、回路Cが停止可能

回路Bの消費電力は0.003mWであるが、「回路Bが停止したと仮定した場合」の Line 0101 の消費電力は、回路Bの消費電力を0mWと仮定して、回路A、回路C、...の各回路の消費電力の総和と見積もることができる。

回路Cの消費電力は0.001mWであるが、「回路Cが停止したと仮定した場合」の Line 0101 の消費電力は、回路Cの消費電力を0mWと仮定して、回路A、回路C、...の各回路の消費電力の総和と見積もることができる。

ということが判断できる。

【0058】

このことを利用して、動作第3ステップ（1108）は、停止対象候補回路情報（1107）とプログラム消費電力情報（1104）を用いて停止対象候補回路の消費電力がそれぞれ0になったと仮定した場合の最適化対象のプログラム（

1005) の命令毎におけるマイクロプロセッサあるいはマルチプロセッサシステム構成回路別の消費電力を検索し、停止対象候補一覧(1007)を算出する。

【0059】

この停止対象候補一覧(1007)は、プログラムの各行についてマイクロプロセッサあるいはマルチプロセッサシステム構成回路のうち停止可能な回路をそれぞれ停止したと仮定した場合の消費電力の総和を表すことになる。例として図13の1007における Line 0101 では、

回路Bは停止可能な候補1:

回路Bが停止した場合は Line 0101 の消費電力の総和は0.40mW

回路Cは停止可能な候補2:

回路Cが停止した場合は Line 0101 の消費電力の総和は0.77mW
を意味する。

【0060】

図14は切り替え判定手段の動作フローチャートであり、1つのステップで構成される。

動作ステップ(1201)は、停止対象候補一覧(1007)を用いて、消費電力が最も少ない停止対象候補回路(1202、1203、1204)を検索し、最適化対象のプログラム(1005)の命令毎に停止対象となる回路とその消費電力(1205)を選択し、切り替え判定結果(1008)を算出する。

【0061】

図15は命令セット切り替え命令挿入手段の動作フローチャートであり、2つのステップで構成される。

動作第1ステップ(1301)は、切り替え判定結果(1008)と、動作モード一覧(1012)を用いて、最適化対象のプログラム(1005)の動作モードに対応する対象回路の関係(1304)と命令と対象回路の関係(1305)より、命令毎の停止対象を指定することができる動作モード、および同一動作

モードを適用できる命令列範囲を算出し、動作モード判定結果（1302）を出力する。

【0062】

動作第2ステップ（1303）は、動作モード判定結果（1302）における動作モードが切り替わる動作モード変化点（1306）を検索し、最適化対象のプログラム（1005）の命令列毎に動作モードを指定する命令セット切り替え命令（1307）を挿入し、命令セット切り替え命令挿入結果（1009）を算出する。

【0063】

図16は制御指定情報付加手段の動作フローチャートであり、3つのステップで構成される。

動作第1ステップ（1401）は、命令セット切り替え命令挿入結果（1009）と、制御指定情報一覧（1013）を用いて、命令セット切り替え命令挿入結果（1009）の命令毎に停止対象回路と動作モードに対応する制御指定情報（1406）を検索し、制御指定情報判定結果（1402）を出力する。

【0064】

動作第2ステップ（1403）は、制御指定情報判定結果（1402）を用いて、一定サイクル前に制御情報が確定できる命令列（1407）を検索し、制御指定情報位置（1404）を算出する。なお、このステップの検索ルールは図10、図11で説明した制御情報のサイクル関係に従う。

【0065】

動作第3ステップ（1405）は、制御指定情報判定結果（1402）、および制御指定情報位置（1404）を用いて、命令セット切り替え命令挿入結果の命令毎に制御指定情報を挿入し、最適化後プログラム（1010）を算出する。

【0066】

以上により、プレディケート情報を有する最適化後プログラムを生成することにより命令単位毎に低電力制御を行い、回路規模の増加やデコード時間の増加をすることなく、命令デコードのパイプラインステージ、および時間的に先行しているパイプラインステージに対する制御を行うことができ、マイクロプロセッサ

の低電力動作を実現することができる。

(実施の形態3)

次に、本発明の実施の形態3における低電力動作制御装置について、図17、図18を用いて説明する。

【0067】

図17は本発明の実施の形態3における低電力動作制御装置を有するマイクロプロセッサおよびデータ処理手段の構成図であり、ここでは、データ処理手段もマイクロプロセッサにより構成される例を示している。

【0068】

図17において、本発明のマルチプロセッサシステムは、命令メモリ(1501)、命令メモリから取得した命令コードを格納する命令レジスタ(1516)、命令コードデコーダ(1502)、演算器(1503)、プレディケート動作に使用するフラグ生成用演算器(1504)、フラグ生成用演算器の結果を格納するレジスタ(1505)、演算結果を格納するレジスタファイル(1506)、命令コード中のプレディケートフィールド内容とフラグ生成用演算器(1504)の出力からプレディケート動作を判定するプレディケート判定回路(1507)、命令コード中のプレディケートフィールド内容から制御指定情報を取り出す制御指定情報抽出回路(1508)、プレディケートフィールド内容のうちプレディケート動作に割り当てる情報と制御指定情報に割り当てる情報の区分や動作モードからプレディケート判定回路(1507)、制御指定情報抽出回路(1508)の動作を指示するプレディケート制御回路(1509)、制御指定情報によってイベント発生可否を判定して、イベントを発生するイベント発生回路(1510)、動作モードを定義する動作モード設定レジスタ(1511)で構成されるマイクロプロセッサA(1512)と、イベント発生回路(1510)のイベントによって制御される動作制御回路(1513)、電源供給制御回路(1514)、および動作制御回路(1513)、電源供給制御回路(1514)で制御されるマイクロプロセッサB(1515)で構成されている。

【0069】

マイクロプロセッサA(1512)におけるレジスタ、プレディケート動作、

動作モード、およびパイプライン構成は図6、図7、図8、図9、図10と同様であるが、低電力モード中に制御指定情報に基づいてイベント回路からイベントを発生し、マイクロプロセッサB（1515）の制御を実施する点が異なる。つまり、マイクロプロセッサBの低電力動作制御をマイクロプロセッサAによっておこなう。ここでは、マイクロプロセッサBの低電力動作制御をマイクロプロセッサAによって行う場合について説明するが、マイクロプロセッサ以外のデータ処理手段にて行う事も可能である。

【0070】

また、ここでは、異なるマイクロプロセッサの低電力動作を制御する場合について説明しているが、イベントを発生するマイクロプロセッサ自身の制御を行う事も可能である。

【0071】

イベント発生回路によるマイクロプロセッサB（1515）の制御は図18の本発明の実施の形態3におけるイベント発生回路による低電圧動作制御を説明する図に示すように実現する。マイクロプロセッサAの動作モードとしてP1、P2、P3、P5を用いた制御を実施する低電力モードが設定されているとする。本動作モードでの電力制御情報（P1、P2、P3、P5）の意味を以下のよう

に定義する。

【0072】

P1： 5命令後にマイクロプロセッサBを起動。

P2： 5命令後にマイクロプロセッサBを停止。

P3： 5命令後にマイクロプロセッサBの電源を供給。

【0073】

P5： 5命令後にマイクロプロセッサBの電源を停止。

これらの電力制御情報に基づき、マイクロプロセッサBの動作や電源の供給を制御する。マイクロプロセッサBの動作や電源の供給を制御する場合、一般に起動動作や電源の供給安定化のための時間が必要であり、数サイクル前にイベントを発生している必要がある。本実施の形態では、制御信号タイミング（1601）に示すようにイベントを発生してマイクロプロセッサB（1515）が起動開

始してから起動完了するまでに4サイクル必要であるとする。そのためにはパイプラインステージを考慮すると5命令前よりイベントの状態を指定する必要があるが、前述の通り、電力制御情報が5命令後のイベント内容を指示しているため、イベントが発生し、マイクロプロセッサBの動作および電源の供給制御動作（1602）が実施できる。

【0074】

以上により、回路規模の増加やデコード時間の増加をすることなく、命令デコードのパイプラインステージ、および時間的に先行しているパイプラインステージに対する制御を行うことができ、マイクロプロセッサの低電力動作を実現することができる。

（実施の形態4）

次に、本発明の実施の形態4における低電力動作制御装置について、図19、図20、図21、図22を用いて説明する。

【0075】

図19は本発明の実施の形態4における低電力動作制御装置を有するマイクロプロセッサの構成図である。

本発明におけるマイクロプロセッサは、命令メモリ（1701）、命令メモリ（1701）から取得した命令コードを格納する命令レジスタ（1717）、命令コードデコーダ（1702）、演算器（1703）、プレディケート動作に使用するフラグ生成用演算器（1704）、フラグ生成用演算器（1704）の結果を格納するレジスタ（1705）、演算結果を格納するレジスタファイル（1706）、命令コード中のプレディケートフィールド内容とフラグ生成用演算器（1704）の出力からプレディケート動作を判定するプレディケート判定回路（1707）、命令コード中のプレディケートフィールド内容から制御指定情報を取り出す制御指定情報抽出回路（1708）、プレディケートフィールド内容のうちプレディケート動作に割り当てる情報と制御指定情報に割り当てる情報の区分や動作モードからプレディケート判定回路（1707）、制御指定情報抽出回路（1708）の動作を指示するプレディケート制御回路（1709）、制御指定情報によってプログラム処理量を測定するプログラム処理測定回路（171

0)、測定結果を参照できるプログラム処理測定結果参照レジスタ(1711)、測定結果を用いてプログラム必要処理量を判定して結果を出力するプログラム処理判定回路(1712)、動作モードを定義する動作モード設定レジスタ(1713)、プログラム必要処理量判定結果によって制御されるクロック周波数／電源電圧制御回路(1714)、クロック発生回路(1715)、および電源(1716)で構成されている。

【0076】

本マイクロプロセッサにおけるレジスタ、プレディケート動作、動作モード、およびパイプライン構成は図6、図7、図8、図9、図10と同様であるが、低電力モード中に制御指定情報に基づいてプログラム処理量判定回路から必要プログラム処理量を算出し、クロック周波数／電源電圧制御を実施する点が異なる。

【0077】

プログラム必要処理量判定回路(1712)によるクロック周波数／電源電圧制御は図20の本発明の実施の形態4におけるプログラム処理量を測定することによる低電圧動作制御を説明する図、図21(a)の本発明の実施の形態4におけるプログラム処理量測定結果を示す図、図21(b)の本発明の実施の形態4における処理量制御を示す図に示すように実現する。ここでは、動作モードとしてP1、P2、P3、P5を用いた処理量測定を実施する低電力モードが設定されているとする。本動作モードでの電力制御情報(P1、P2、P3、P5)の意味を以下のように定義する。

【0078】

- P1: 処理量カウンタをリセット。
- P2: 処理量カウンタのインクリメント開始。
- P3: 処理量カウンタのインクリメント停止。

【0079】

P5: 5命令後に処理量カウンタの値によるクロック周波数／電源電圧制御更新。

まず、プログラム処理量測定回路(1710)には処理量カウンタ(1801)を設けており、電力制御情報によって処理量カウンタを制御し、プログラム処

理量をプログラム処理量測定結果（1802）のように測定する。

【0080】

次に、プログラム処理量判定回路（1712）にはプログラムがいつの時点までに実行を終了している必要があるかの情報、すなわち完了期限情報（1803）を設定しておく。この完了期限情報（1803）と処理量測定結果を用いてプログラム動作の必要最低限処理量（1804）を算出することで、クロック周波数／電源電圧制御回路（1714）から出力する制御信号タイミング（1805）による延長処理（1807）等の制御が実施できる。また、クロック周波数／電源電圧制御には一般に起動や電源安定化のための時間が必要であり、数サイクル前にイベントを発生している必要がある。本実施の形態では、クロック周波数／電源電圧制御タイミング（1806）のように4サイクル前よりイベントを発生している必要があるとする。そのためにはパイプラインステージを考慮すると5命令前よりクロック周波数／電源電圧の制御更新を指定する必要があるが、前述の通り、電力制御情報（P5）が5命令後の制御更新を指示しているため制御が可能となる。

【0081】

またプログラム処理量測定結果はプログラム処理量測定結果参照レジスタ（1711）によってプログラム動作中に参照することができ、図22（a）の本発明の実施の形態4におけるプログラム処理量測定結果により動作を制御することを説明する図、図22（b）の本発明の実施の形態4におけるプレディケート動作の実行有無も考慮した処理量判定を示す図に示すように、処理量によってプログラム動作を決定することも実現できる。図22（a）では、モジュールA、B、Cで構成されるプログラムにおいて、モジュールAの処理量に基づいてモジュールB、Cのどちらを起動するかの判定に参照レジスタのオペランドREF（1901）を使用している例を表している。

【0082】

なお、図22（b）では動作モードとして、P0、P1、P2、P3、P4、P5、P6、P7を用いて以下のように定義することでプレディケート動作の実行有無も考慮した処理量判定も実現できる例を表している。

【0083】

P0: C0 プレディケート動作、および実行時に処理量カウンタをインクリメント。

P1: C1 プレディケート動作、および実行時に処理量カウンタをインクリメント。

【0084】

P2: C2 プレディケート動作、および実行時に処理量カウンタをインクリメント。

P3: C3 プレディケート動作、および実行時に処理量カウンタをインクリメント。

【0085】

P4: C4 プレディケート動作、および実行時に処理量カウンタをインクリメント。

P5: C5 プレディケート動作、および実行時に処理量カウンタをインクリメント。

【0086】

P6: C6 プレディケート動作、および実行時に処理量カウンタをインクリメント。

P7: C7 プレディケート動作、および実行時に処理量カウンタをインクリメント。

【0087】

【発明の効果】

本発明によれば、命令を実行するプログラム毎の命令コードが命令実行制御機能を指定するフラグ含む第1の命令セットと制御指定情報を含む1または2以上の第2の命令セットを備え、命令実行制御機能に応じて各制御回路の低電力動作を命令単位で行うことにより、回路規模の増加やデコード時間の増加をすることなく、命令デコードのパイプラインステージ、および時間的に先行しているパイプラインステージに対する制御を行い、マイクロプロセッサの低電力動作を実現することができる。

【図面の簡単な説明】

【図 1】

(a) 従来の命令判別による低電力動作制御装置の構成図

(b) 従来の命令判別による低電力動作制御装置の動作フロー

【図 2】

(a) 従来の命令セットの構成図

(b) 従来の命令セット判別による低電力動作制御装置の構成図

【図 3】

従来の命令セット判別による低電力動作制御装置の動作フロー

【図 4】

(a) 本発明の低電力動作制御装置におけるマイクロプロセッサで用いられる命令セットの構成図

(b) 本発明の命令セット判別による低電力動作制御装置の構成図

【図 5】

本発明の命令セット判別による低電力動作制御装置の動作フロー

【図 6】

本発明の低電力動作制御装置を搭載するマイクロプロセッサの構成図

【図 7】

フラグレジスタの構造図

【図 8】

本発明の低電力動作制御装置の命令選択フロー説明図

【図 9】

本発明の低電力モード説明図

【図 10】

本発明の実施の形態 1 における制御動作を説明する図

【図 11】

本発明の実施の形態 1 における電源電圧／クロック周波数制御動作を説明する図

【図 12】

本発明の実施の形態 2 における低電力動作制御装置が備えるプログラム最適化装置を説明する図

【図 1 3】

停止対象候補算出手段の動作フローチャート

【図 1 4】

切り替え判定手段の動作フローチャート

【図 1 5】

命令セット切り替え命令挿入手段の動作フローチャート

【図 1 6】

制御指定情報付加手段の動作フローチャート

【図 1 7】

本発明の実施の形態 3 における低電力動作制御装置を有するマイクロプロセッサおよび周辺回路の構成図

【図 1 8】

本発明の実施の形態 3 におけるイベント発生回路による低電圧動作制御を説明する図

【図 1 9】

本発明の実施の形態 4 における低電力動作制御装置を有するマイクロプロセッサの構成図

【図 2 0】

本発明の実施の形態 4 におけるプログラム処理量を測定することによる低電圧動作制御を説明する図

【図 2 1】

(a) 本発明の実施の形態 4 におけるプログラム処理量測定結果を示す図

(b) 本発明の実施の形態 4 における処理量制御を示す図

【図 2 2】

(a) 本発明の実施の形態 4 におけるプログラム処理量測定結果により動作を制御することを説明する図

(b) 本発明の実施の形態 4 におけるプレディケート動作の実行有無も考慮

した処理量判定を示す図

【符号の説明】

1 0 1	デコーダ
1 0 2	低電力制御回路
1 0 3	制御信号
2 0 1	命令デコーダ
2 0 2	低電力制御回路
2 0 3	制御信号
2 0 4	信号伝達経路
3 0 1	プレディケートフィールド
3 0 2	制御指定情報
3 0 3	低電力制御判定
3 0 4	制御信号
4 0 1	命令メモリ
4 0 2	命令コードデコーダ
4 0 3	演算器
4 0 4	フラグ生成用演算器
4 0 5	フラグレジスタ
4 0 6	レジスタファイル
4 0 7	プレディケート判定回路
4 0 8	制御指定情報抽出回路
4 0 9	プレディケート制御回路
4 1 0	動作停止制御回路
4 1 1	クロック制御回路
4 1 2	論理マスク回路
4 1 3	電源電圧制御回路
4 1 4	電源
4 1 5	基板電圧制御回路
4 1 6	基板電圧

4 1 7	クロック周波数制御回路
4 1 8	クロック発生回路
4 1 9	動作モード設定レジスタ
4 2 0	命令レジスタ
8 0 2	演算命令
8 0 3	転送命令
8 0 4	ロード・ストア命令
8 0 5	分岐命令
8 0 6	クロック制御、論理マスク、および基板電圧制御の実施動作
9 0 2	電力制御情報
1 0 0 1	停止対象候補算出手段
1 0 0 2	切り替え判定手段
1 0 0 3	命令セット切り替え命令挿入手段
1 0 0 4	制御指定情報付加手段
1 0 0 5	最適化対象のプログラム
1 0 0 6	消費電力一覧
1 0 0 7	停止対象候補一覧
1 0 0 8	切り替え判定結果
1 0 0 9	命令セット切り替え命令挿入結果
1 0 1 0	最適化後プログラム
1 0 1 1	命令別動作一覧
1 0 1 2	動作モード一覧
1 0 1 3	制御指定情報一覧
1 1 0 1	マイクロプロセッサ命令列
1 1 0 2	構成回路別の消費電力の一例
1 1 0 3	動作第 1 ステップ
1 1 0 4	プログラム消費電力情報
1 1 0 5	動作必要箇所
1 1 0 6	動作第 2 ステップ

1107	停止対象候補回路情報
1108	動作第3ステップ
1201	動作ステップ
1202	停止対象候補回路
1203	停止対象候補回路
1204	停止対象候補回路
1205	停止対象となる回路とその消費電力
1301	動作第1ステップ
1302	動作モード判定結果
1303	動作第2ステップ
1304	動作モードに対応する対象回路の関係
1305	命令と対象回路の関係
1306	動作モード変化点
1307	命令列毎に動作モードを指定する命令セット切り替え命令
1401	動作第1ステップ
1402	制御指定情報判定結果
1403	動作第2ステップ
1404	制御指定情報位置
1405	動作第3ステップ
1406	制御指定情報
1407	命令列
1501	命令メモリ
1502	命令コードデコーダ
1503	演算器
1504	フラグ生成用演算器
1505	フラグレジスタ
1506	レジスタファイル
1507	プレディケート判定回路
1508	制御指定情報抽出回路

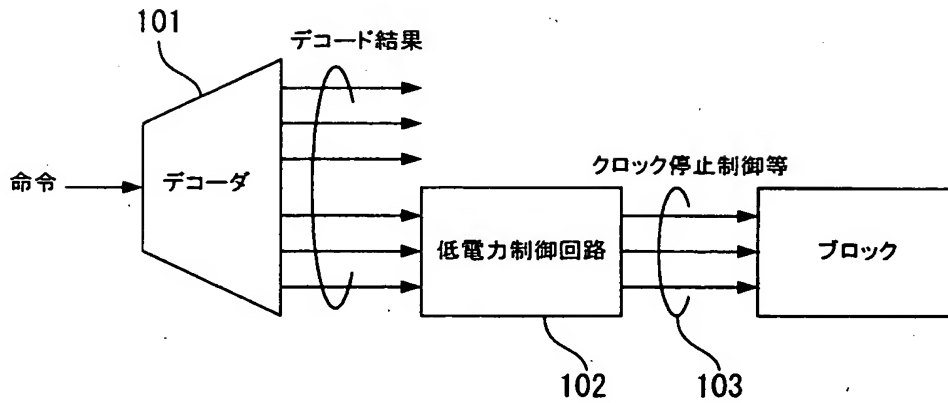
1509	プレディケート制御回路
1510	イベント発生回路
1511	動作モード設定レジスタ
1512	マイクロプロセッサA
1513	動作制御回路
1514	電源供給制御回路
1515	マイクロプロセッサB
1516	命令レジスタ
1601	制御信号タイミング
1602	動作および電源供給制御動作
1701	命令メモリ
1702	命令コードデコーダ
1703	演算器
1704	フラグ生成用演算器
1705	フラグレジスタ
1706	レジスタファイル
1707	プレディケート判定回路
1708	制御指定情報抽出回路
1709	プレディケート制御回路
1710	プログラム処理量測定回路
1711	プログラム処理量測定結果参照レジスタ
1712	プログラム処理量判定回路
1713	動作モード設定レジスタ
1714	クロック周波数／電源電圧制御回路
1715	クロック発生回路
1716	電源
1717	命令レジスタ
1801	処理量カウンタ
1802	プログラム処理測定結果

- 1803 完了期限情報
- 1804 必要最低限処理量
- 1805 制御信号タイミング
- 1806 クロック周波数／電源電圧制御タイミング
- 1807 延長処理
- 1901 オペランド R E F

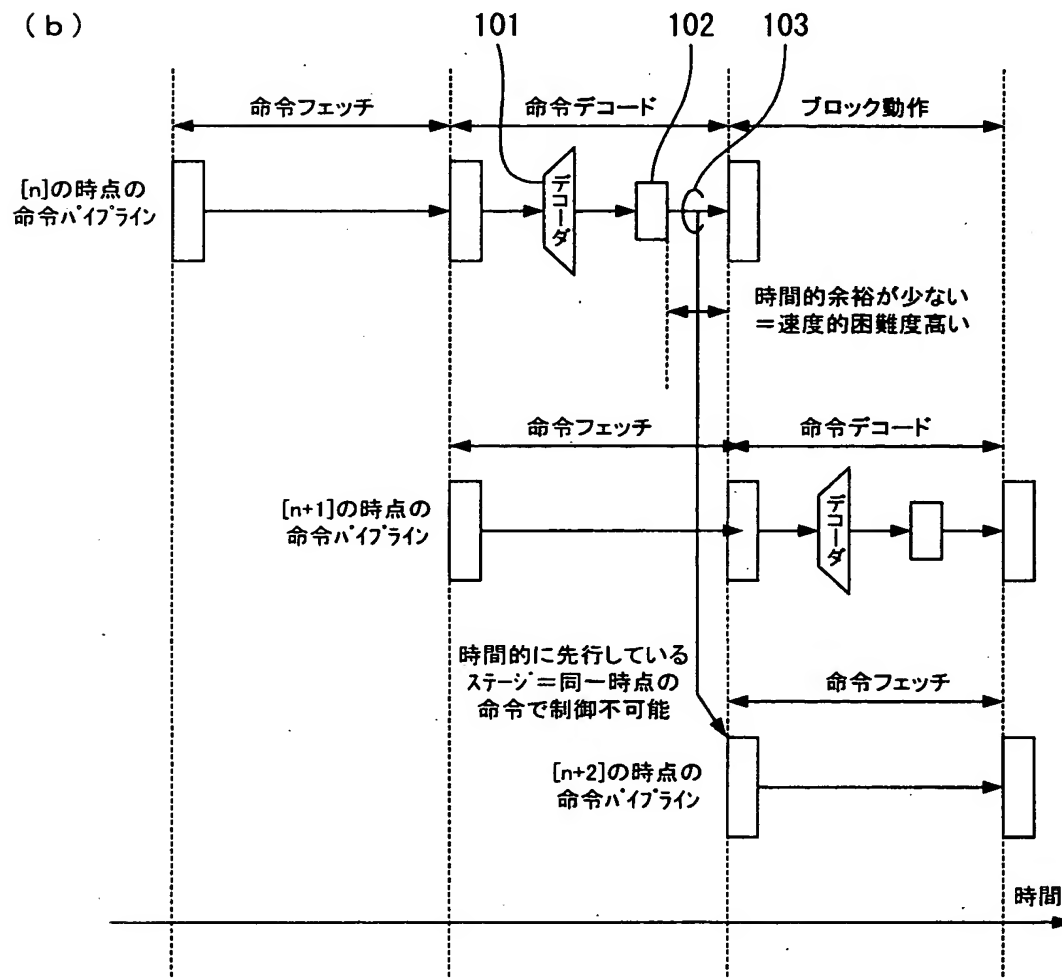
【書類名】 図面

【図 1】

(a)



(b)



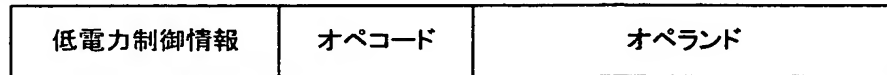
【図 2】

(a)

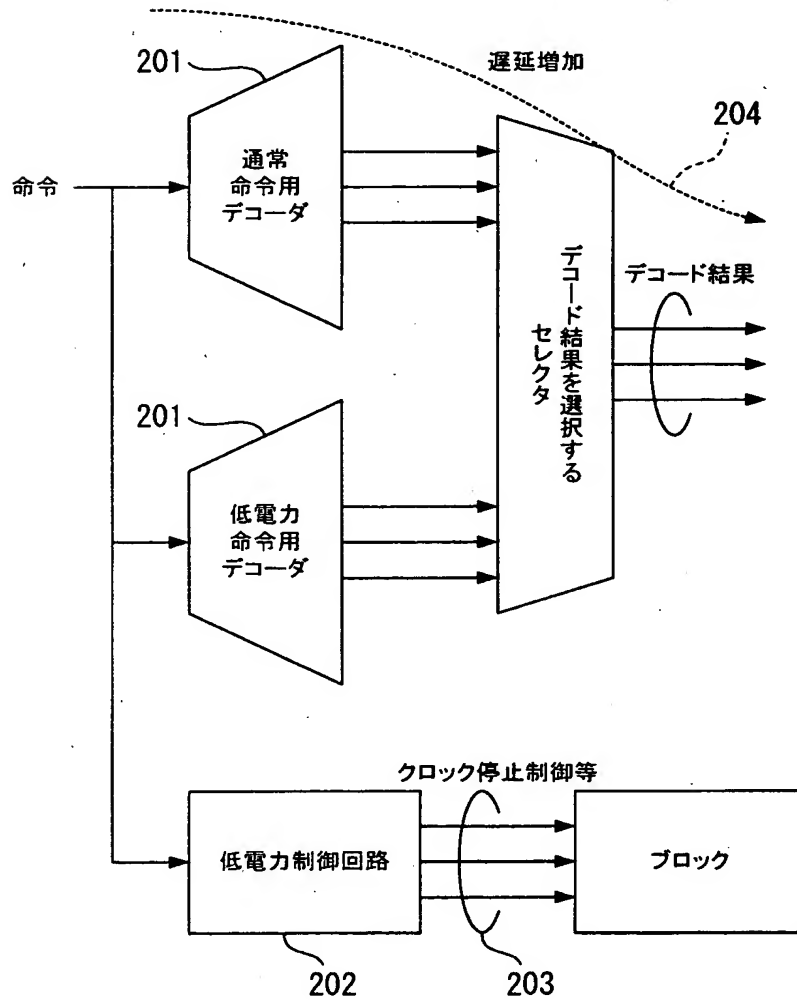
【通常命令セット】



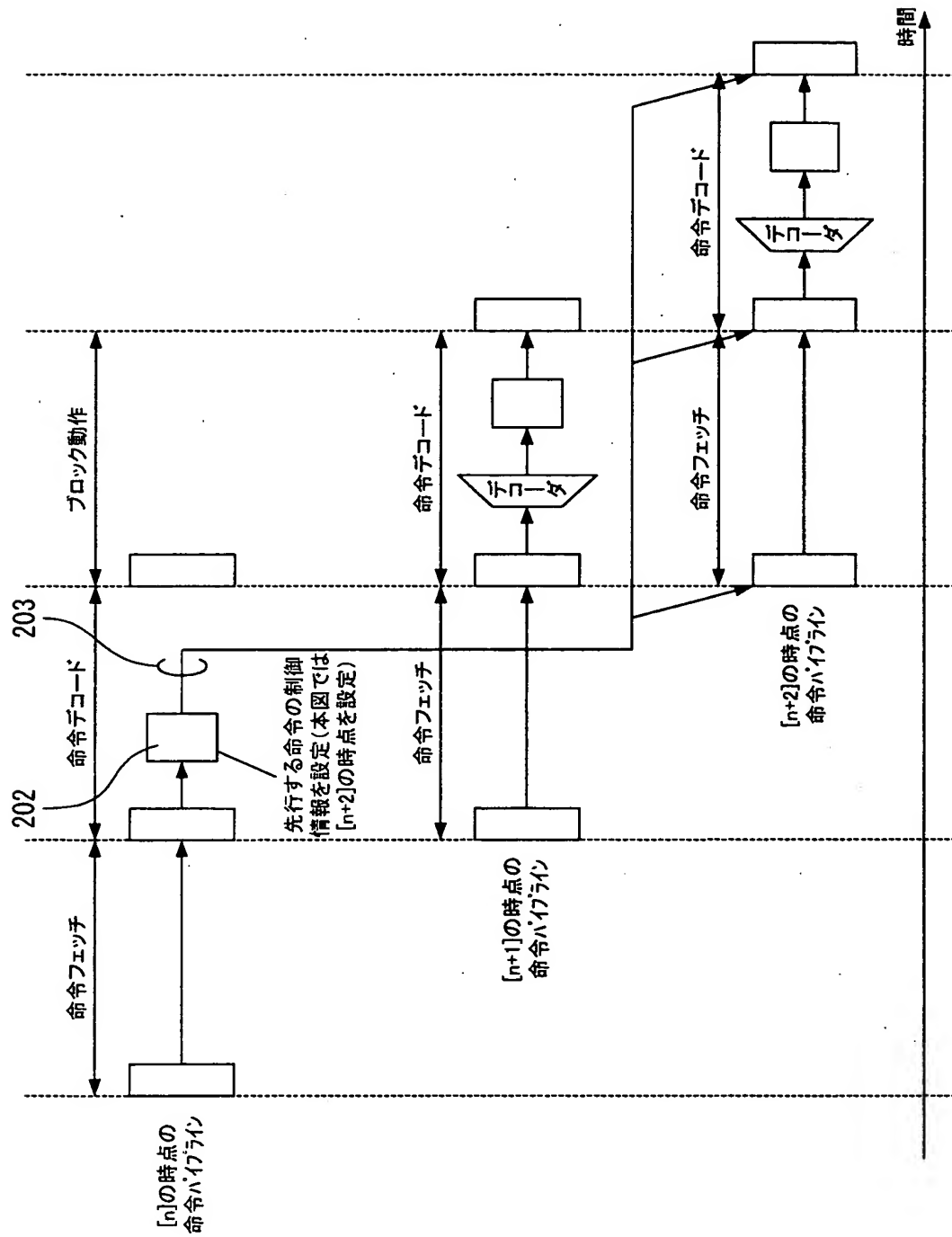
【低電力命令セット】



(b)

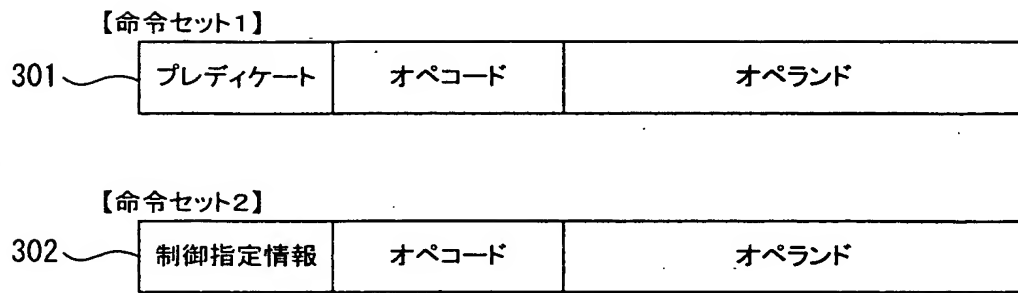


【図 3】

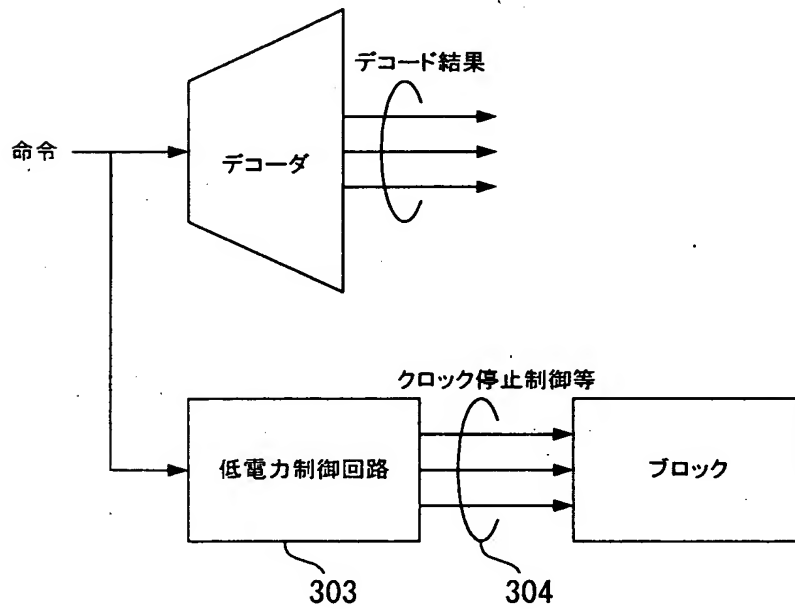


【図 4】

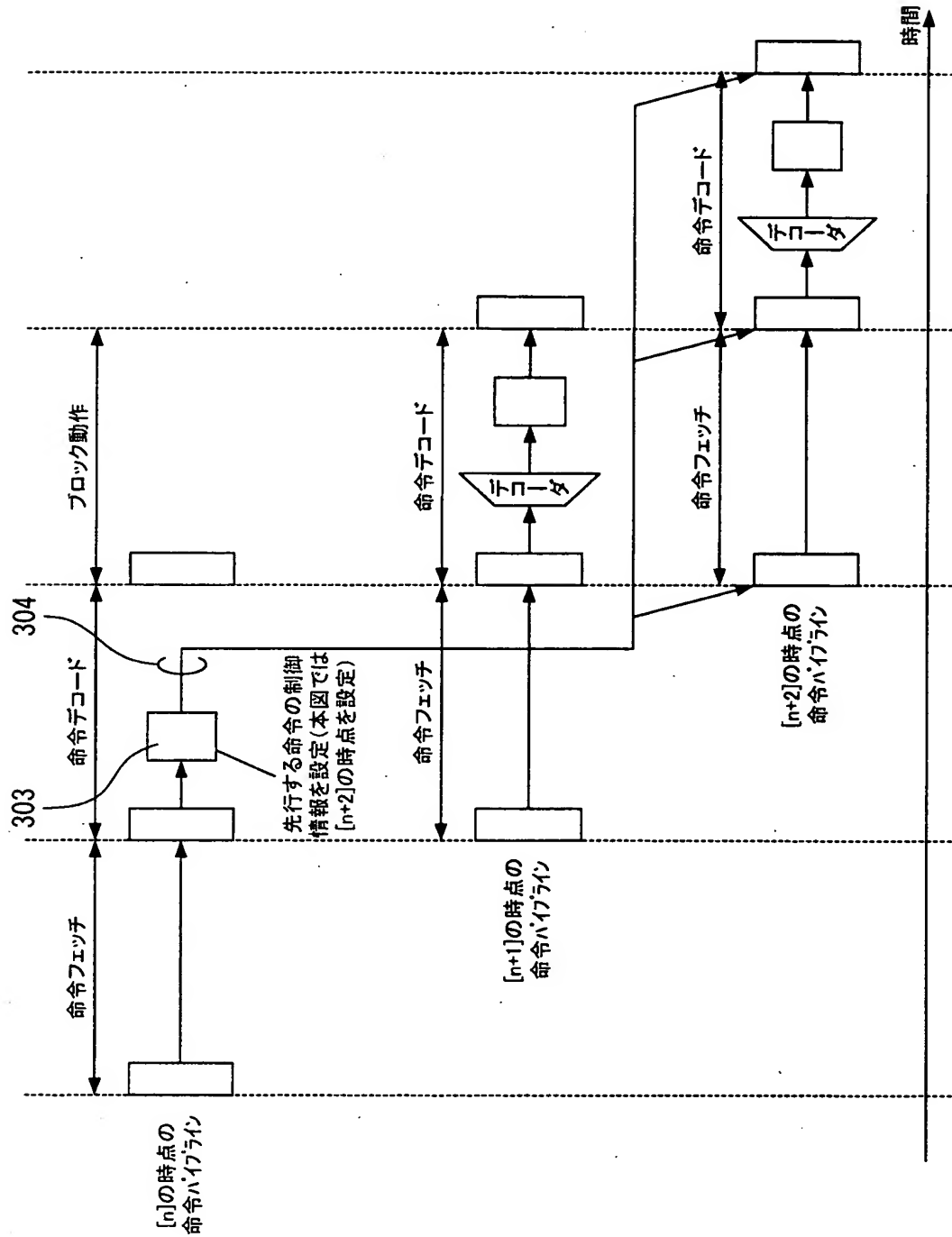
(a)



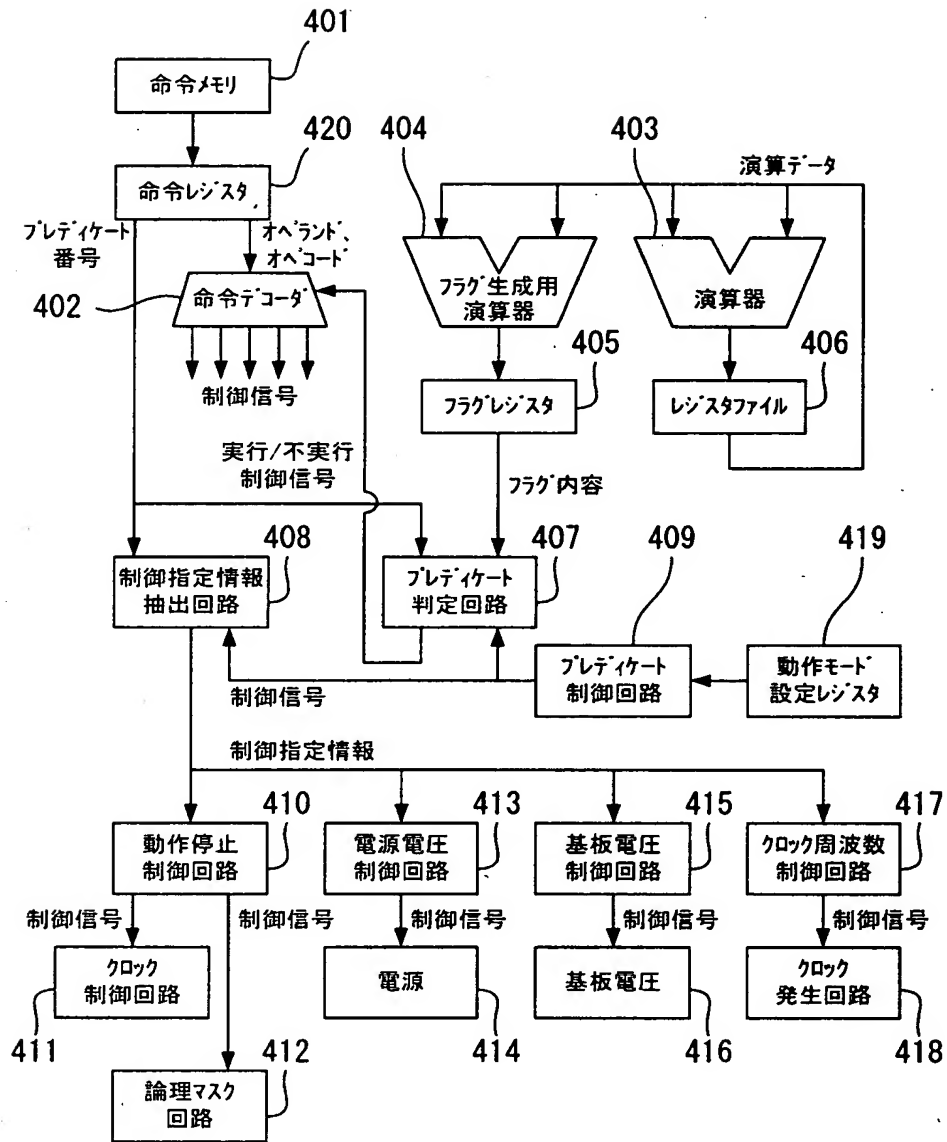
(b)



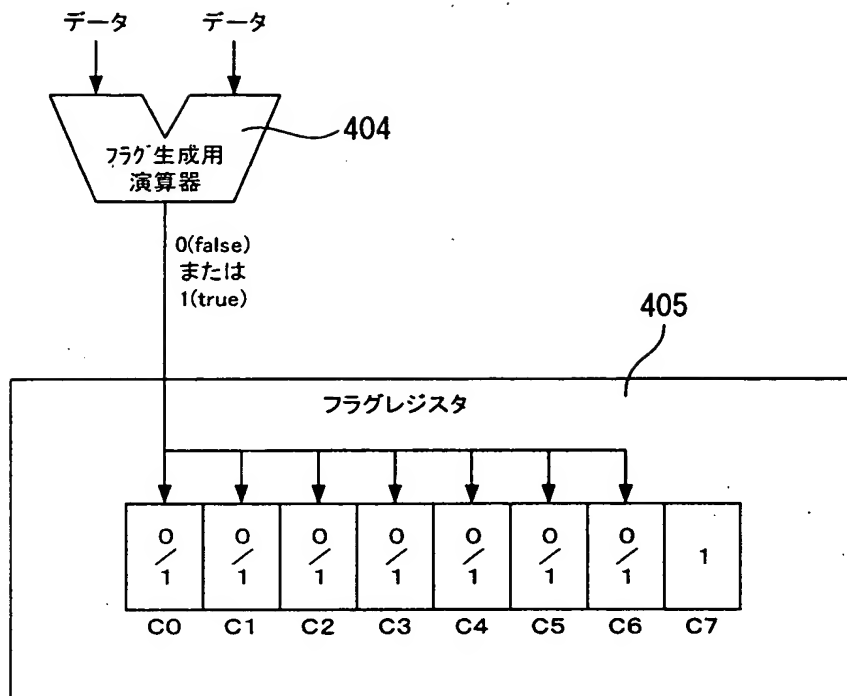
【図 5】



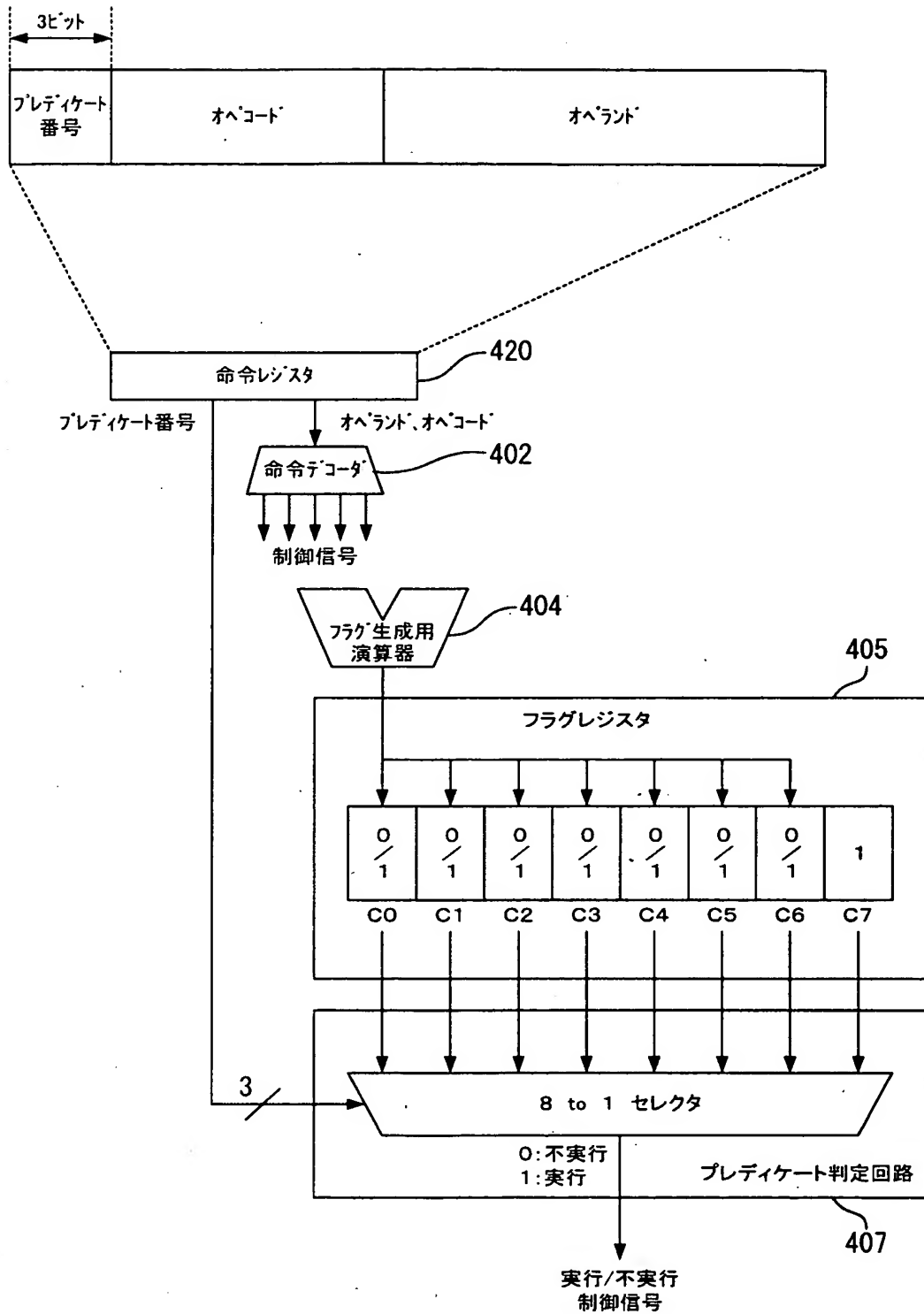
【図 6】



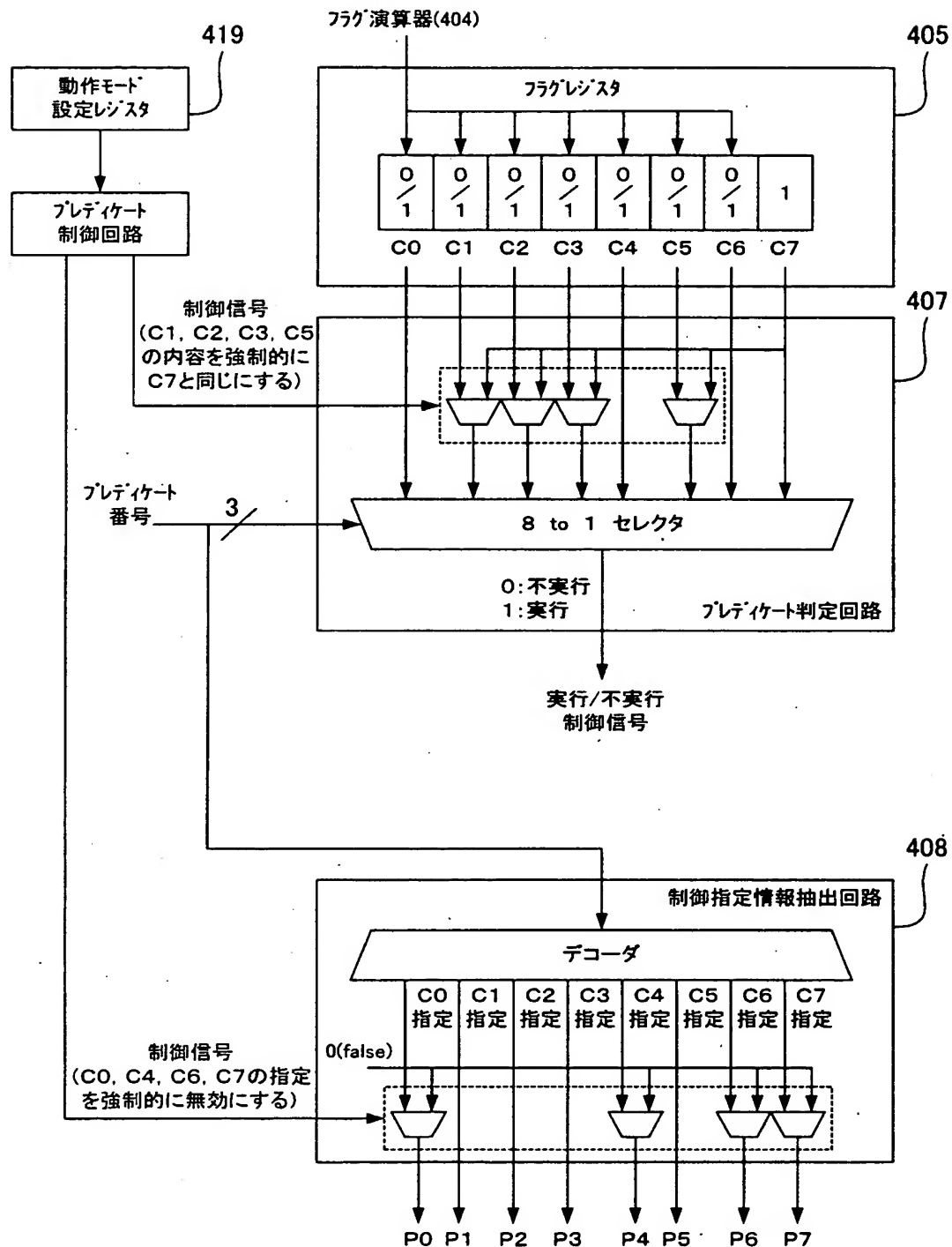
【図 7】



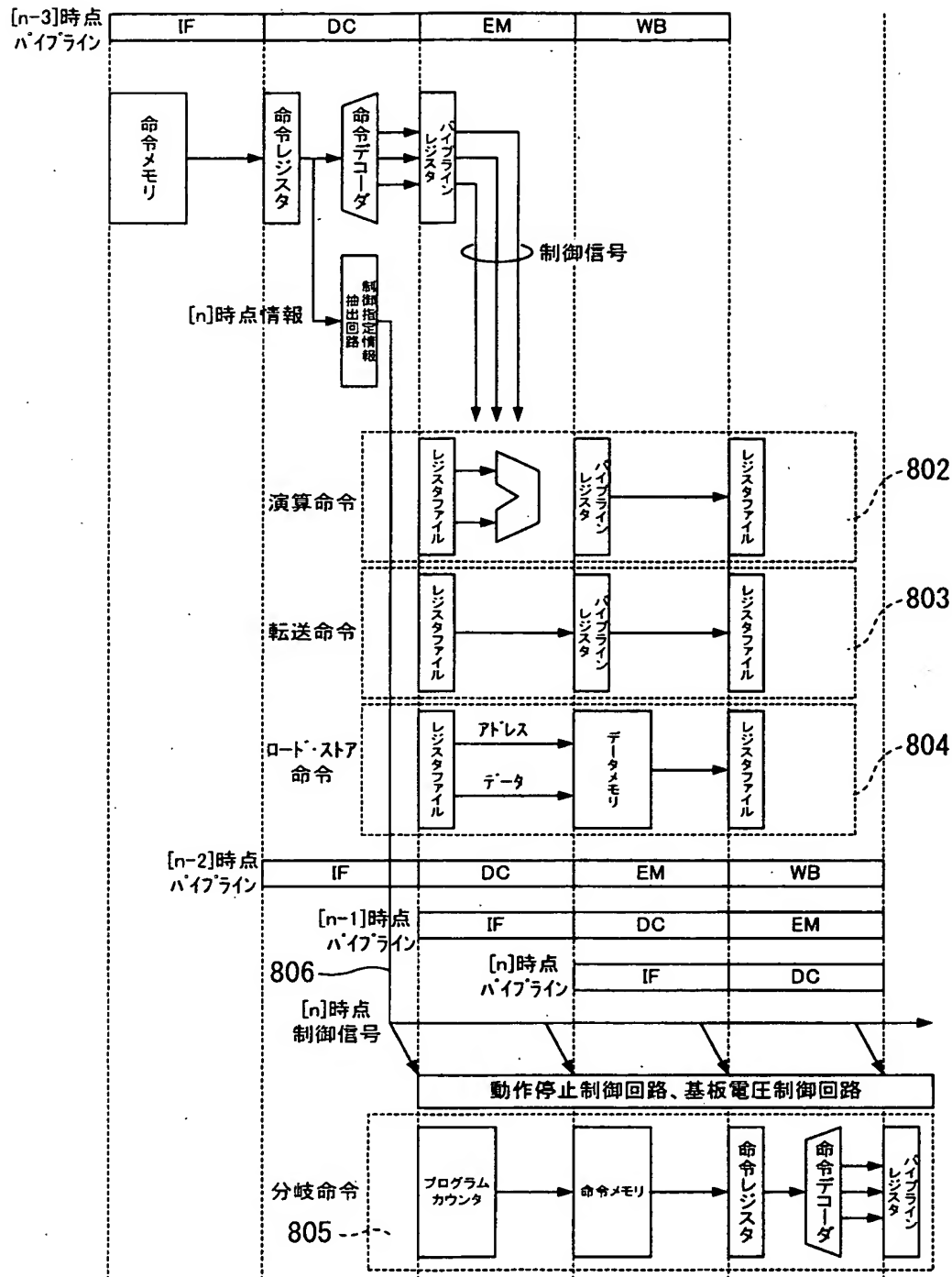
【図 8】



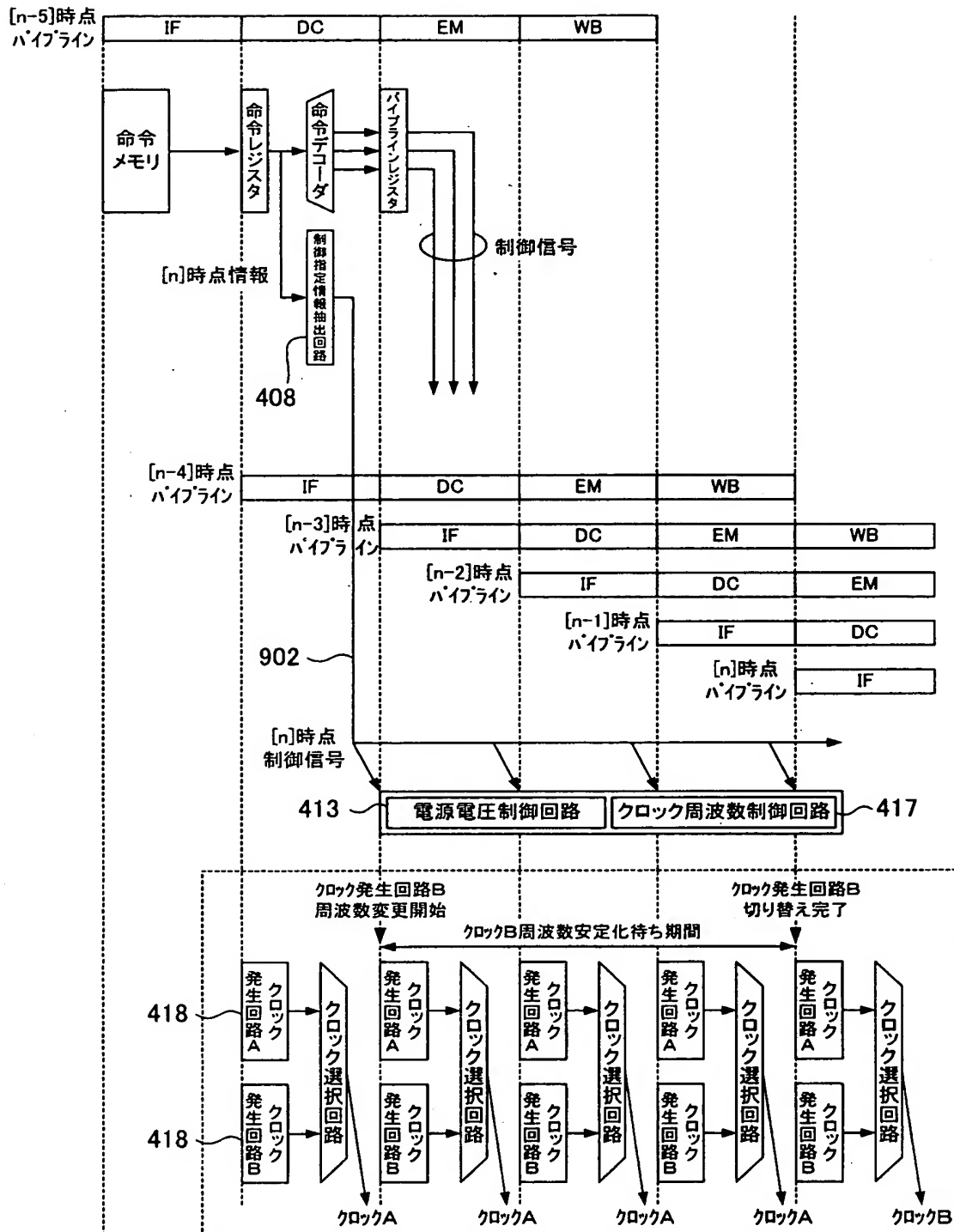
【図 9】



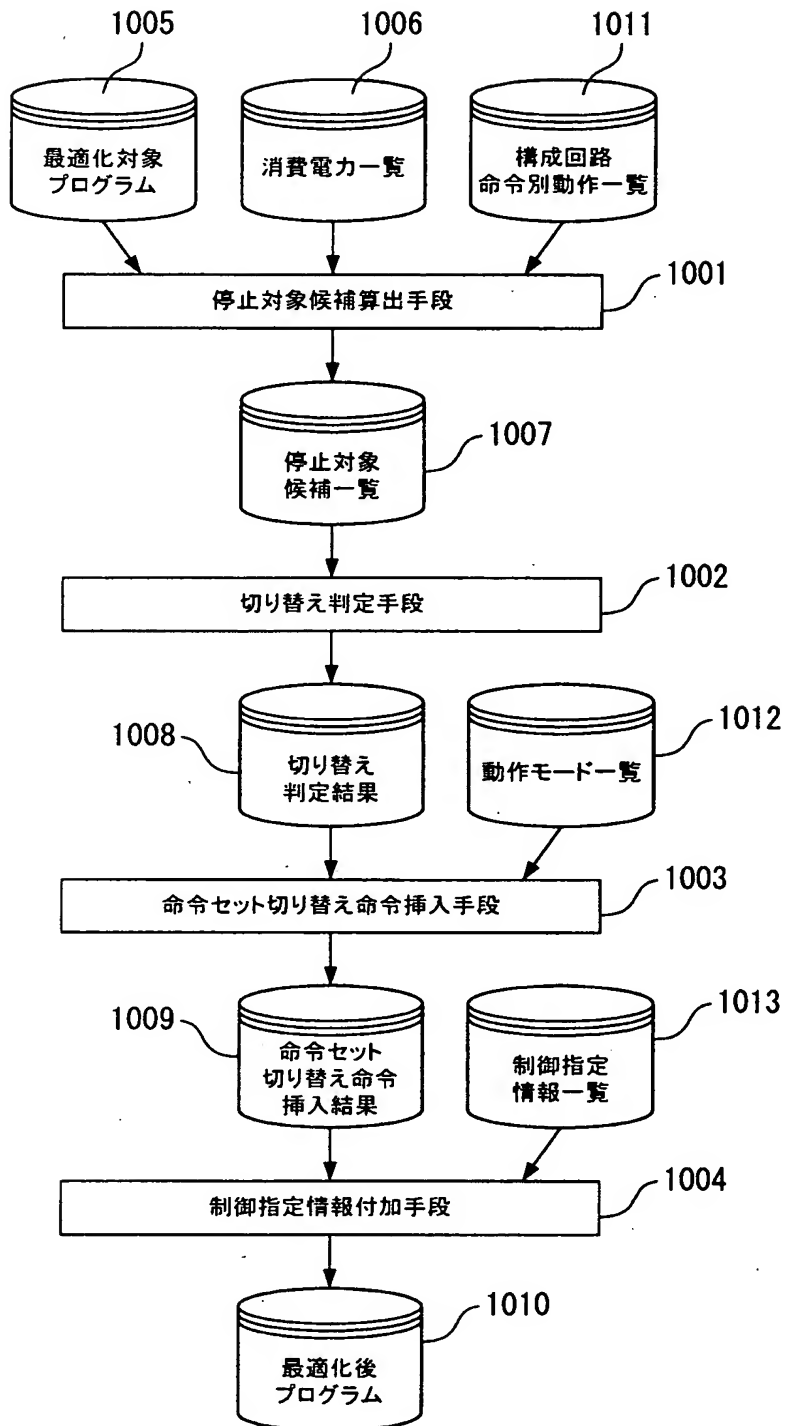
【図 10】



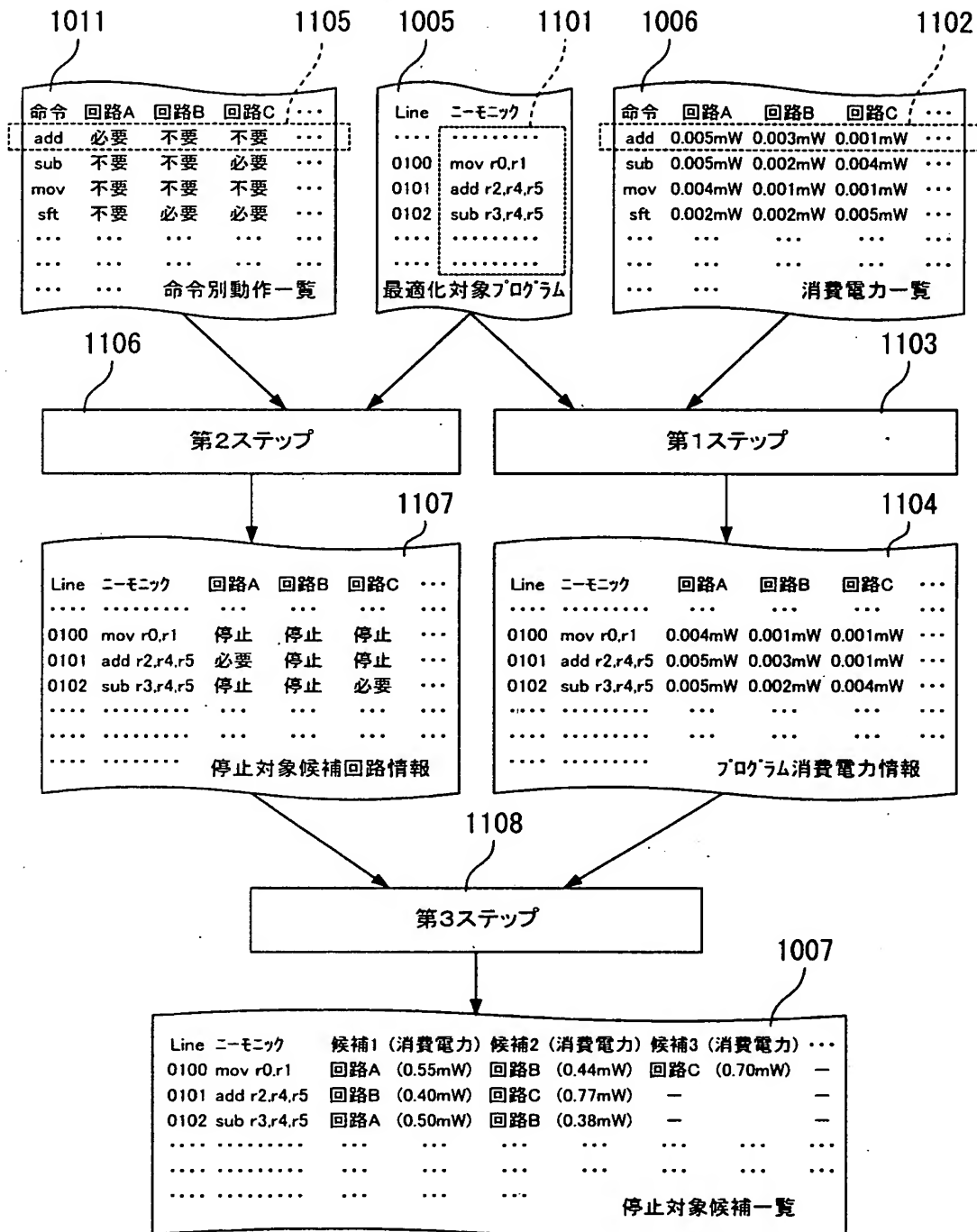
【図 1 1】



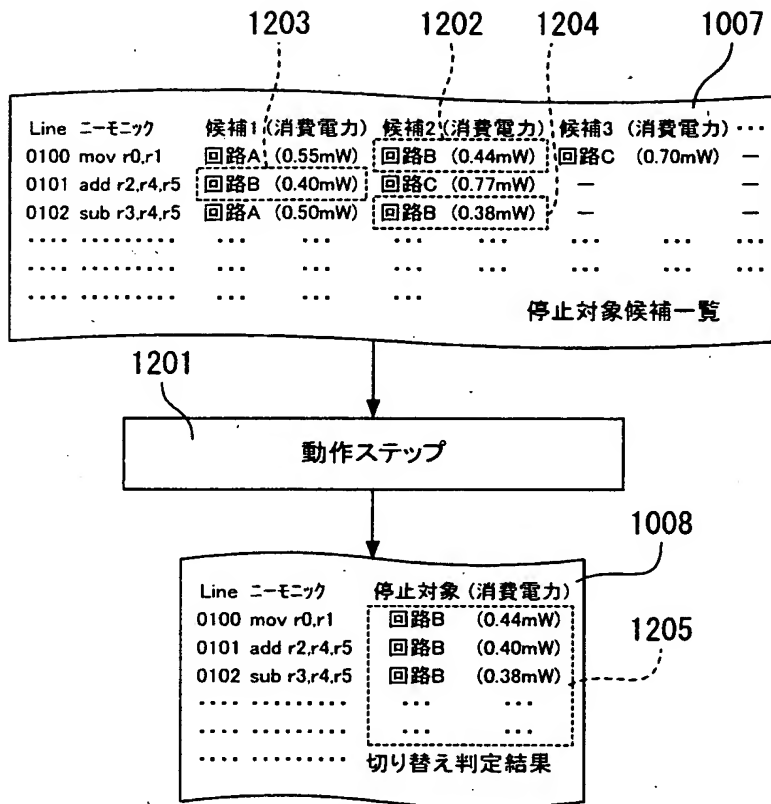
【図 12】



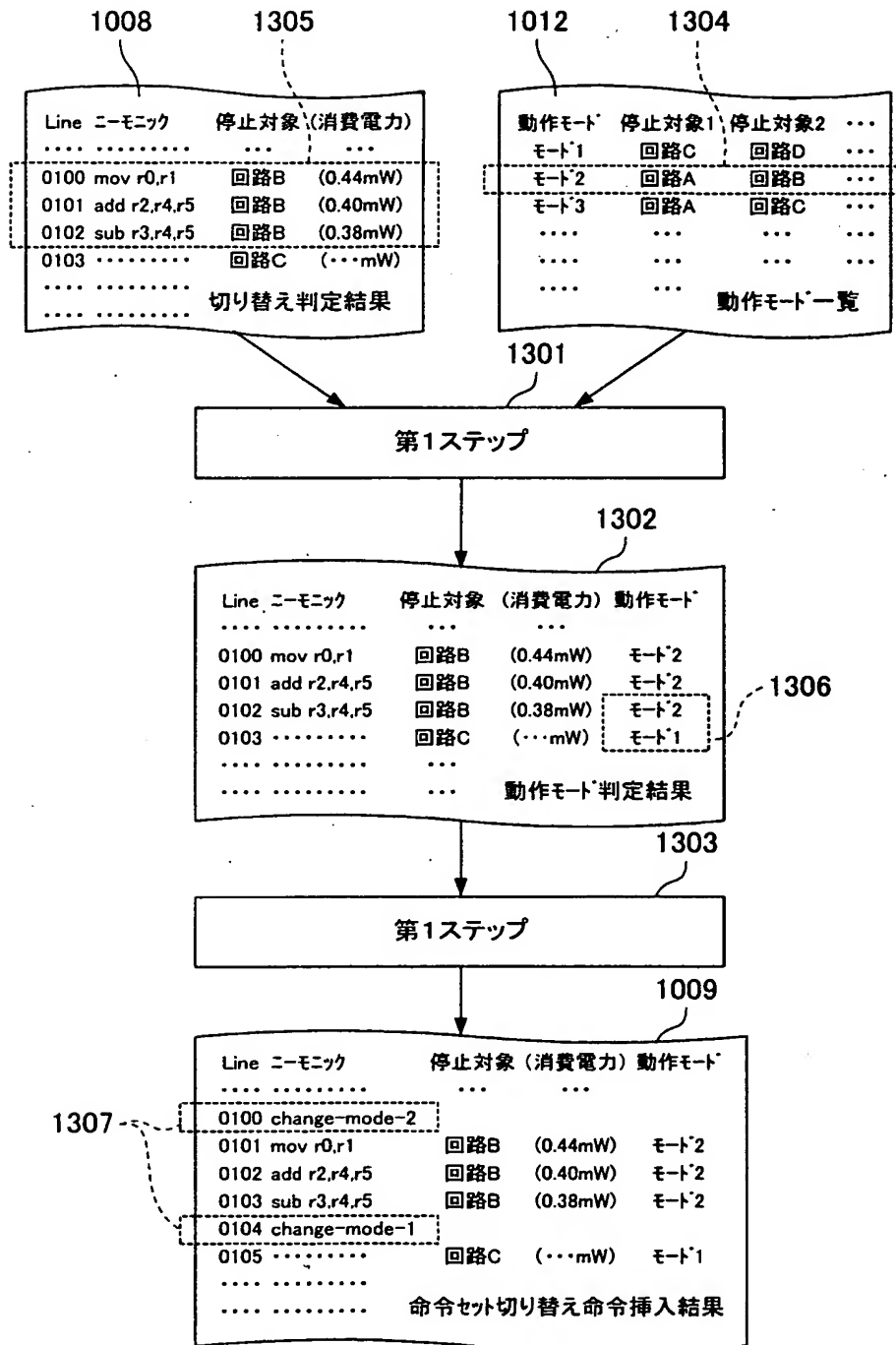
【図 13】



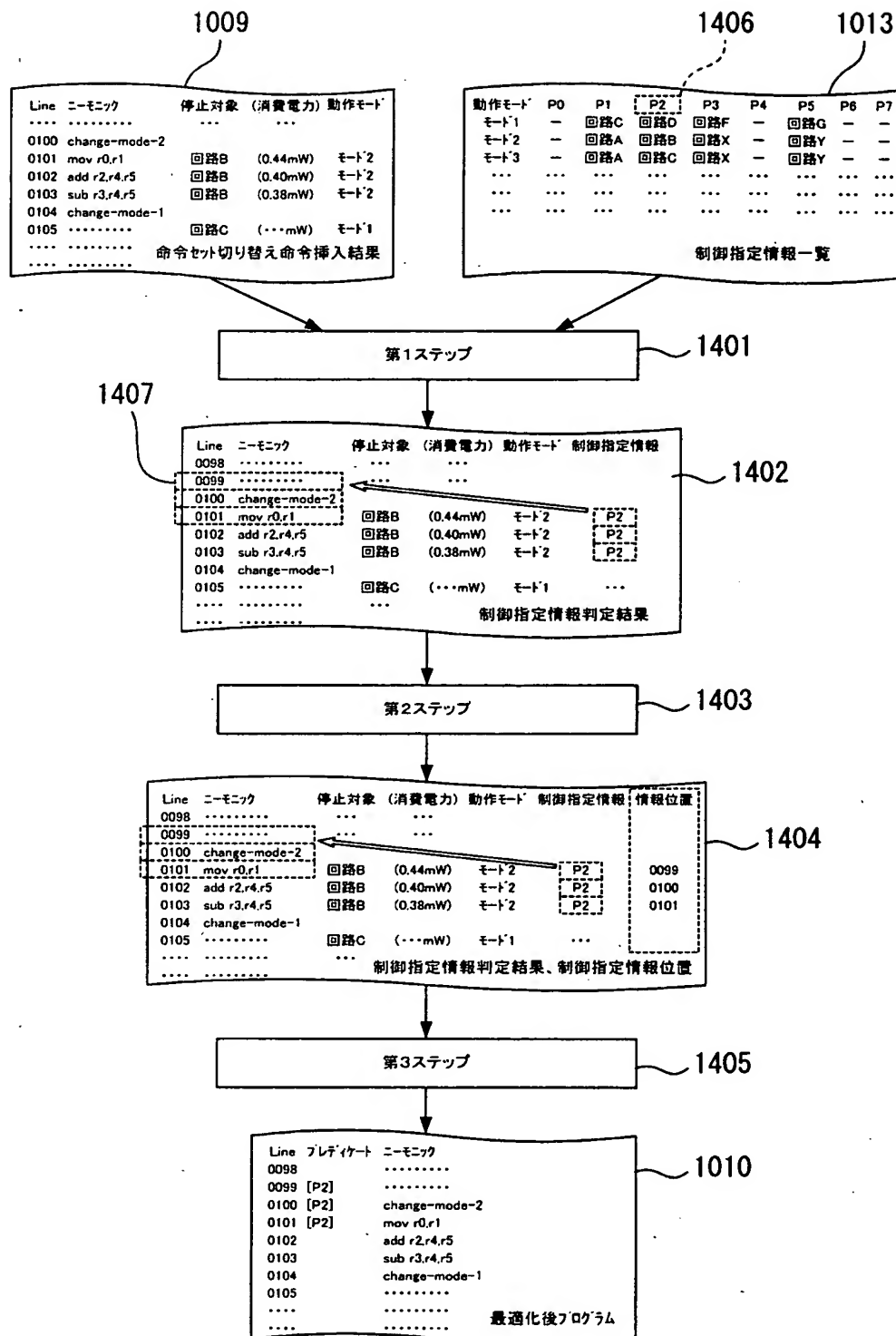
【図14】



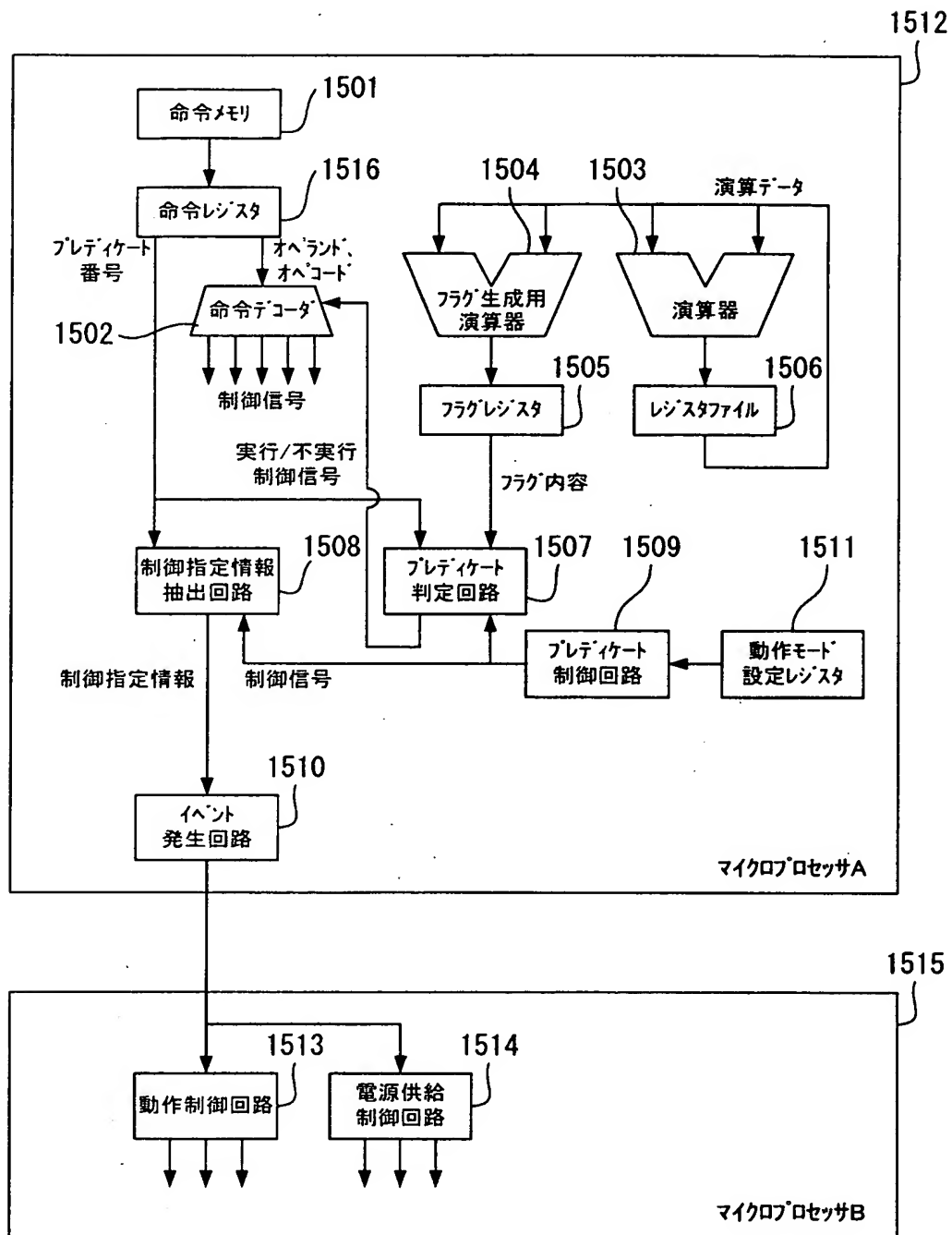
【図 15】



【図16】

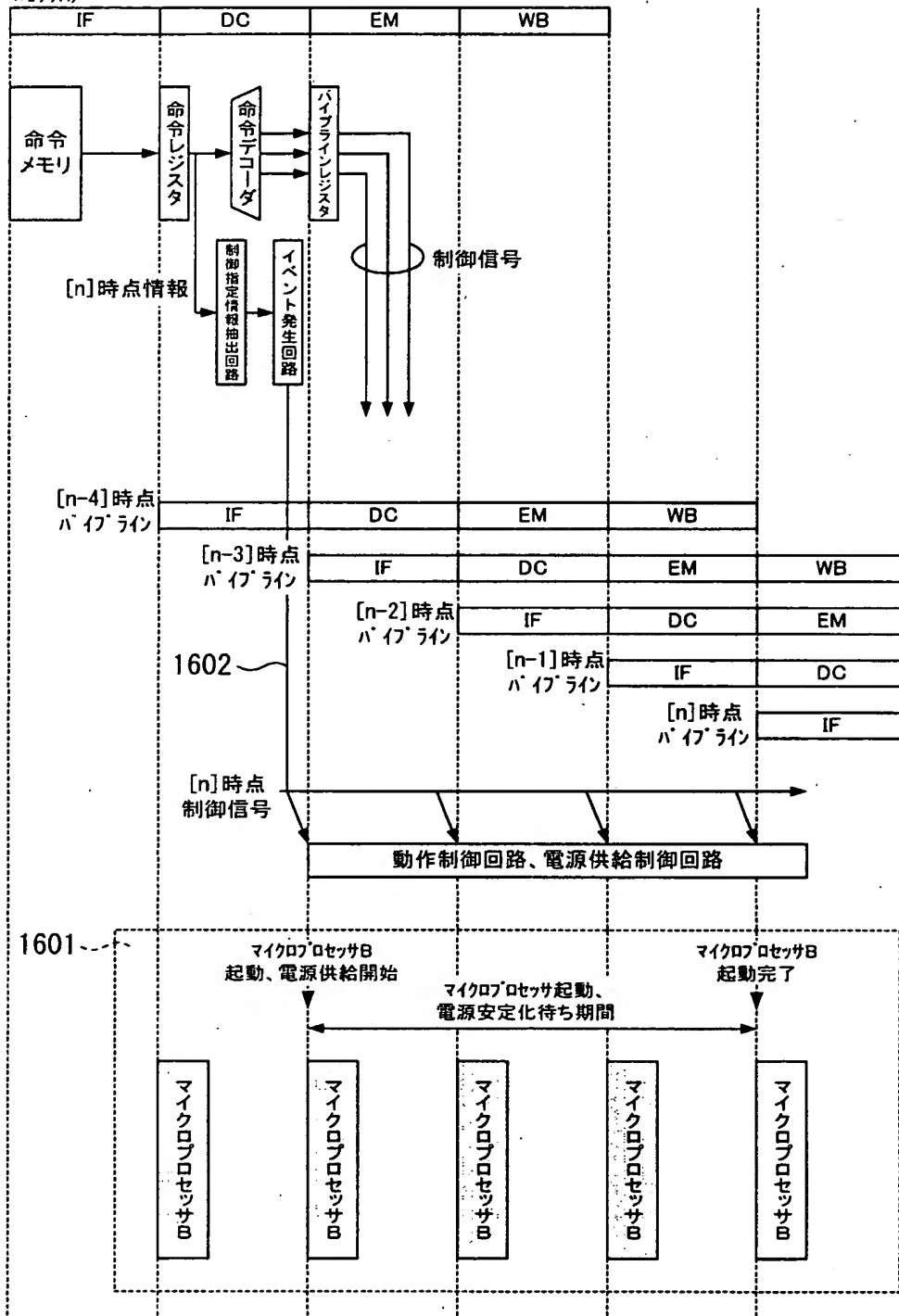


【図 17】

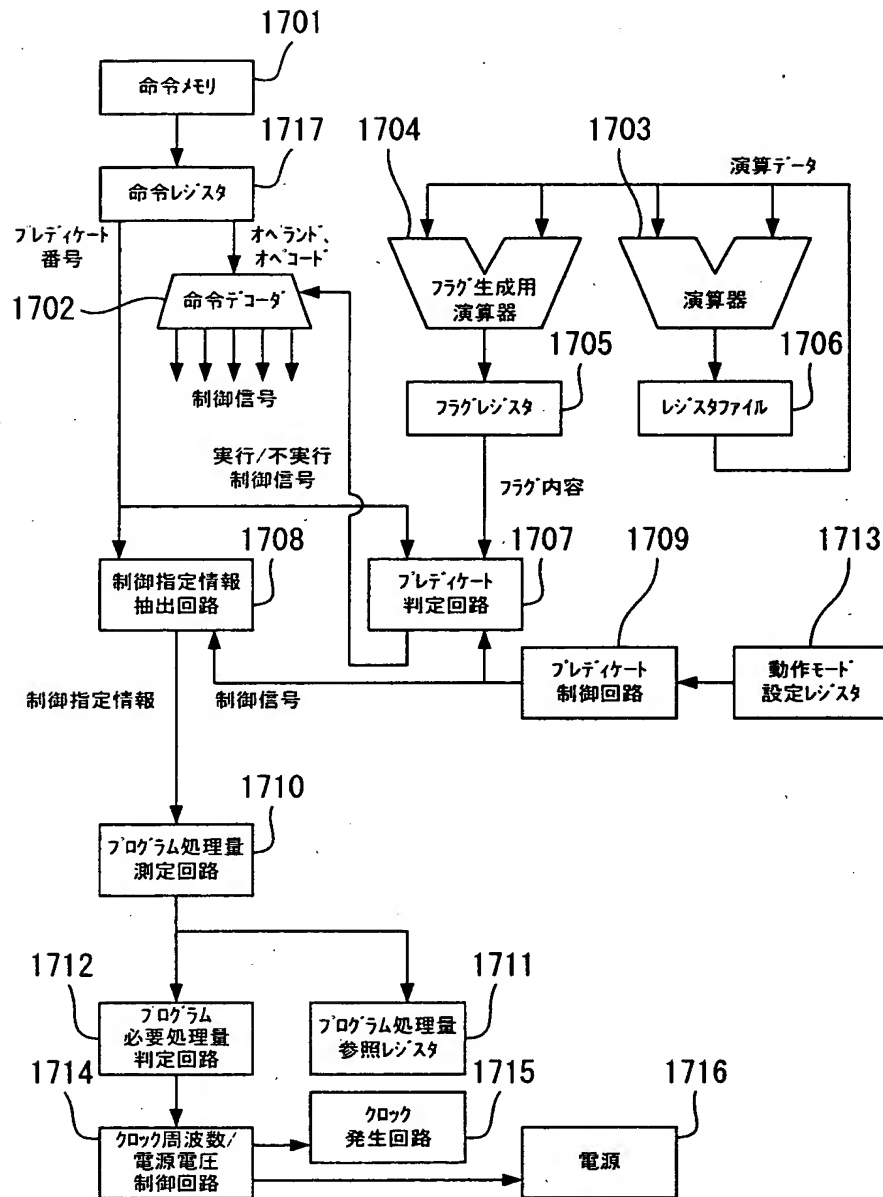


【図18】

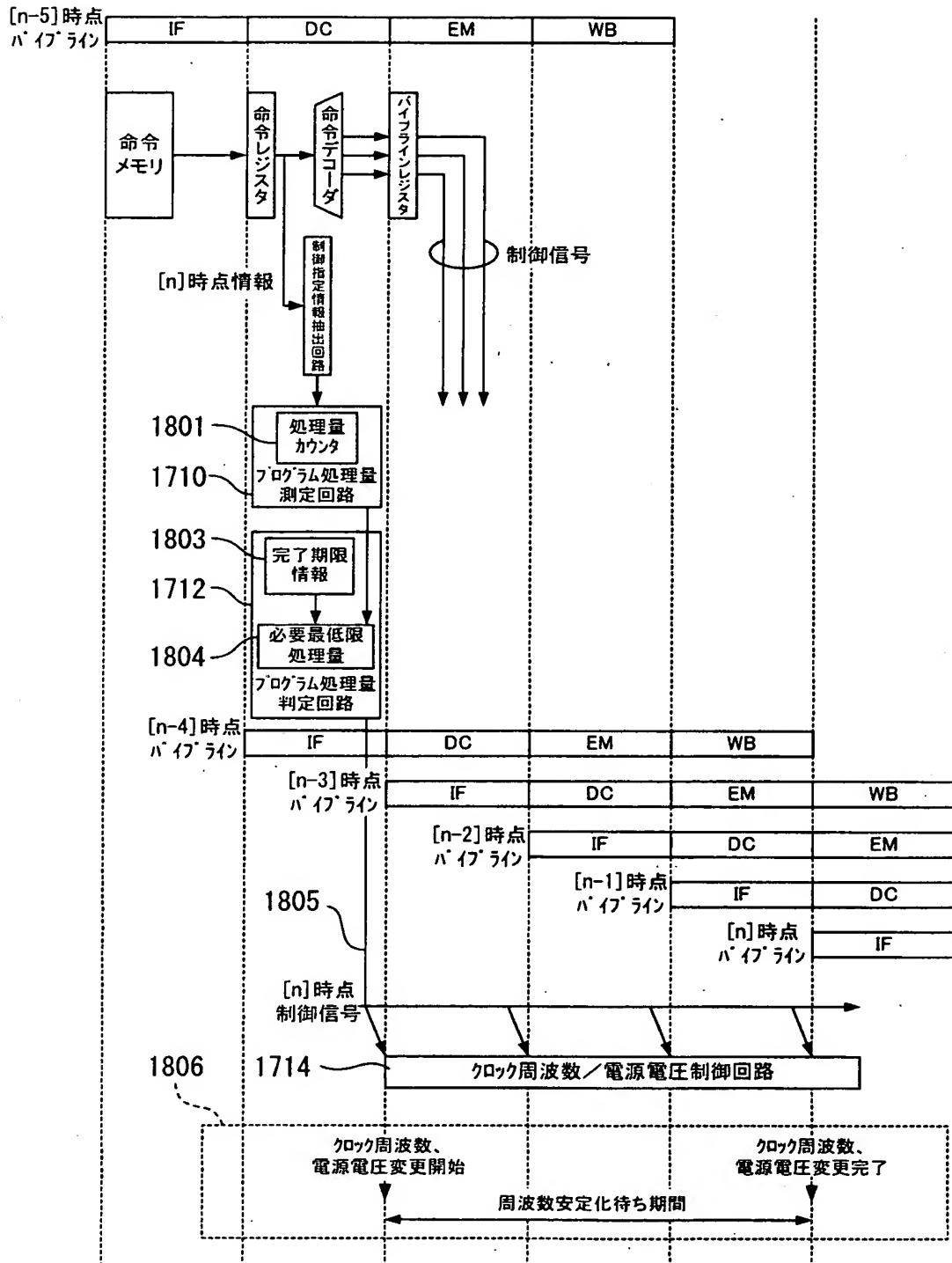
[n-5]時点ハ'イ'ライン
(マイクロプロセッサA)



【図19】

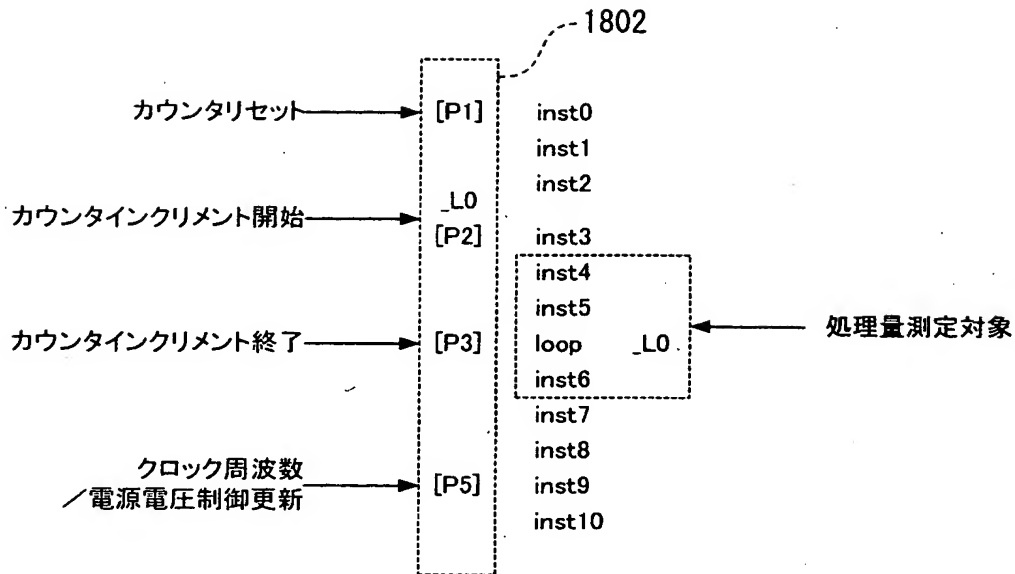


【図 20】

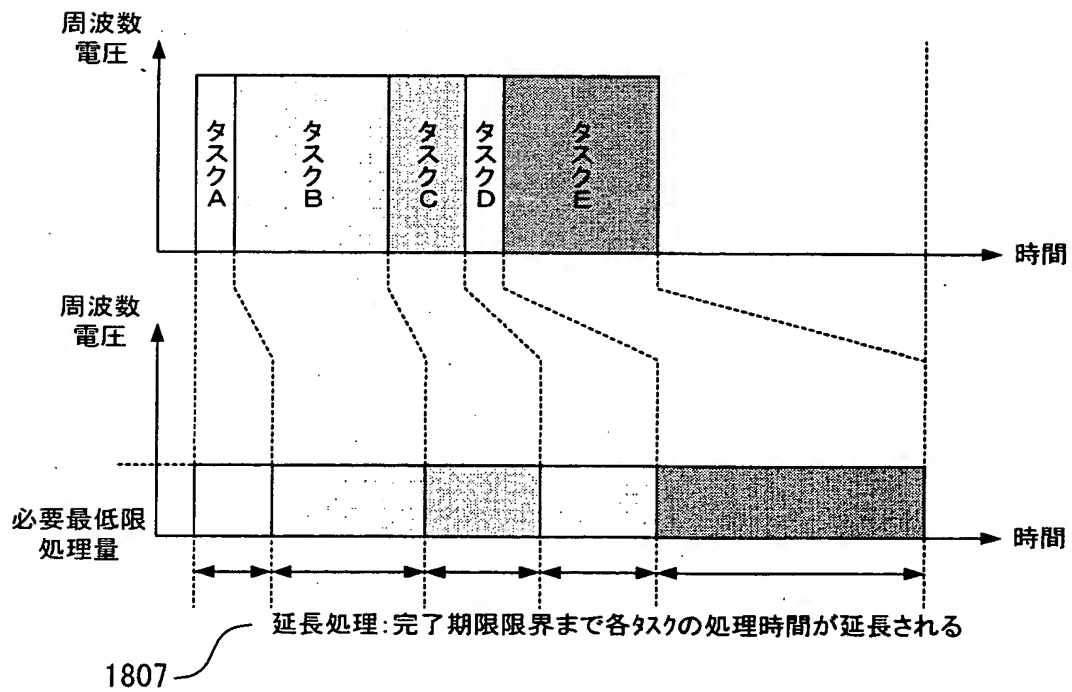


【図 2 1】

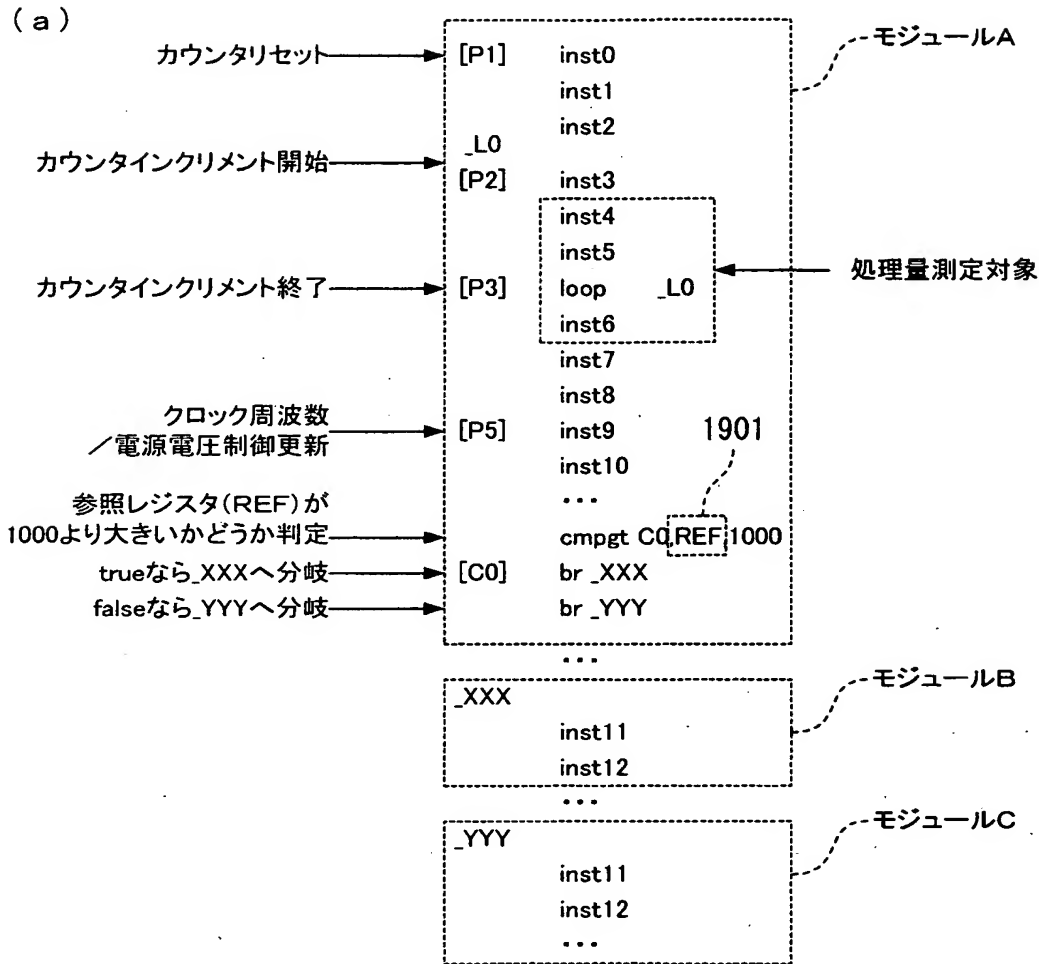
(a)



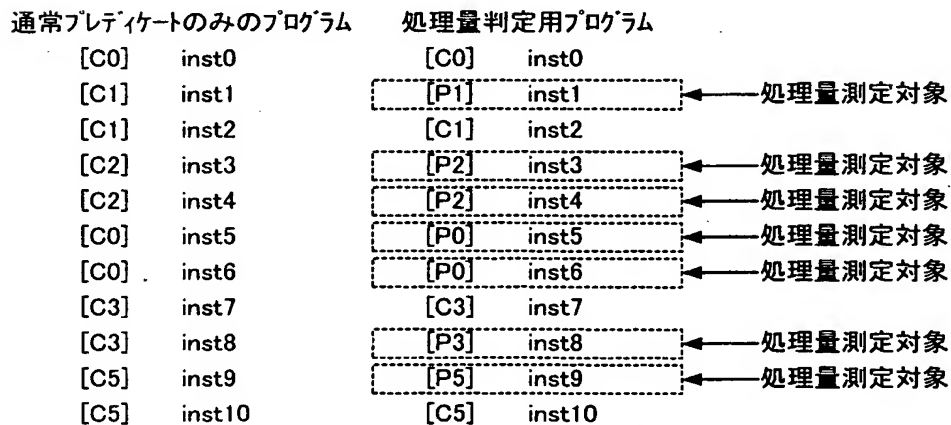
(b)



【図 22】



(b)



【書類名】 要約書

【要約】

【課題】 回路規模の増加やデコード時間の増加をすることなく、命令デコードのパイプラインステージ、および時間的に先行しているパイプラインステージに対しても、マイクロプロセッサの低電力動作を実現することを目的とする。

【解決手段】 命令を実行するプログラム毎の命令コードがプレディケート 3 0 1 を指定するフラグ含む第 1 の命令セットと制御指定情報 3 0 2 を含む 1 または 2 以上の第 2 の命令セットを備え、命令実行制御機能に応じて各制御回路の低電力動作を命令単位で行うことにより、回路規模の増加やデコード時間の増加をすることなく、命令デコードのパイプラインステージ、および時間的に先行しているパイプラインステージに対する制御を行い、マイクロプロセッサの低電力動作を実現することができる。

【選択図】 図 4

出 願 人 履 歷 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日
[変更理由] 新規登録
住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社